

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-289088

(43)Date of publication of application : 19.10.1999

(51)Int.Cl.

H01L 29/78
H01L 21/336
H01L 27/115
H01L 21/8247
H01L 29/788
H01L 29/792

(21)Application number : 11-015896

(71)Applicant : MATSUSHITA ELECTRON CORP

(22)Date of filing : 25.01.1999

(72)Inventor : DOI HIROYUKI
OKUDA YASUSHI
TAKAHASHI KEITA
TAMURA NOBUMASA

(30)Priority

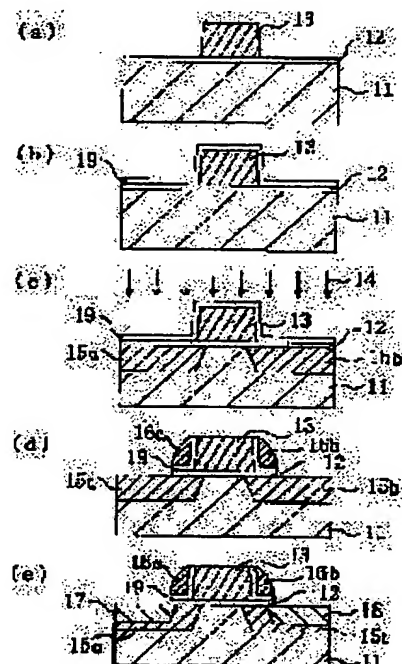
Priority number : 10 21651 Priority date : 03.02.1998 Priority country : JP

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a manufacturing method by which a semiconductor device which can be suitably made finer can be manufactured while the deterioration of the insulating characteristic of a gate oxide film resulting from the impurity ions punching through the end section of a gate electrode is suppressed.

SOLUTION: After a gate oxide film 12 and a gate electrode 13 are formed on an Si substrate 11, the electrode 13 is covered with a CVD insulating film 19 by depositing the film 19 on the film 12 and electrode 13. Then LDD diffusion layers 15a and 15b are formed by implanting arsenic ions 14 into the Si substrate 11 from the surface side of the insulating film 19. After side wall spacers 16a and 16b are formed on the surface of the CVD insulating film 19 left on the side walls of the gate electrode 13, a source diffusion layer 17 and a drain diffusion layer 18 are formed. Since the LDD diffusion layers 15 are formed by implanting the impurity ions through the CVD insulating film 19, the amount of the arsenic ions 14 punching through the end section of the gate electrode 13 can be suppressed.



LEGAL STATUS

[Date of request for examination] 10.05.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3319721

[Date of registration] 21.06.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 1 1 - 2 8 9 0 8 8

(43) 公開日 平成 1 1 年 (1 9 9 9) 1 0 月 1 9 日

| (51) Int. Cl. | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
|---------------|------|--------|------------|--------|
| H01L 29/78 | | | H01L 29/78 | 301 P |
| 21/336 | | | 27/10 | 434 |
| 27/115 | | | 29/78 | 371 |
| 21/8247 | | | | |
| 29/788 | | | | |

審査請求 未請求 請求項の数 1 6 O L (全 2 3 頁) 最終頁に続く

| | | | |
|--------------|------------------------------|----------|---|
| (21) 出願番号 | 特願平 1 1 - 1 5 8 9 6 | (71) 出願人 | 0 0 0 0 0 5 8 4 3 松下電子工業株式会社 大阪府高槻市幸町 1 番 1 号 |
| (22) 出願日 | 平成 1 1 年 (1 9 9 9) 1 月 2 5 日 | (72) 発明者 | 土井 博之 大阪府高槻市幸町 1 番 1 号 松下電子工業株式会社内 |
| (31) 優先権主張番号 | 特願平 1 0 - 2 1 6 5 1 | (72) 発明者 | 奥田 寧 大阪府高槻市幸町 1 番 1 号 松下電子工業株式会社内 |
| (32) 優先日 | 平 1 0 (1 9 9 8) 2 月 3 日 | (72) 発明者 | 高橋 桂太 大阪府高槻市幸町 1 番 1 号 松下電子工業株式会社内 |
| (33) 優先権主張国 | 日本 (J P) | (74) 代理人 | 弁理士 前田 弘 (外 1 名) |

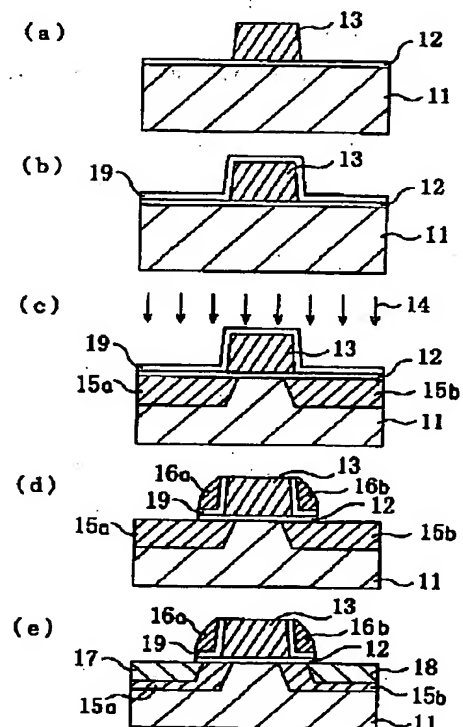
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 ゲート電極の端部における不純物イオンの突き抜けに起因するゲート酸化膜の絶縁特性の劣化を抑制しながら、微細化に適した半導体装置の製造方法を提供する。

【解決手段】 S i 基板上 1 1 にゲート酸化膜 1 2、ゲート電極 1 3 を形成する。CVD 絶縁膜 1 9 を堆積し、ゲート電極 1 3 を CVD 絶縁膜 1 9 によって被覆する。CVD 絶縁膜 1 9 の上方から、S i 基板 1 1 内にヒ素イオン 1 4 を注入し、LDD 拡散層 1 5 a、1 5 b を形成する。ゲート電極 1 3 の側面上に CVD 絶縁膜 1 9 を挟んでサイドウォールスペーサ 1 6 a、1 6 b を形成した後、ソース拡散層 1 7、ドレイン拡散層 1 8 を形成する。CVD 絶縁膜 1 9 を通過させて不純物イオンを注入して LDD 拡散層 1 5 を形成するので、ヒ素イオン 1 4 がゲート電極 1 3 の端部を突き抜ける現象を抑制できる。



【特許請求の範囲】

【請求項1】 MOS型電界効果トランジスタとして機能する半導体装置の製造方法であって、半導体基板上にゲート絶縁膜及びゲート電極を順次形成するステップ(a)と、

CVD法により上記ゲート電極の露出面を被覆するCVD絶縁膜を形成するステップ(b)と、
上記ゲート電極及びCVD絶縁膜の上方から半導体基板内に不純物イオンを注入することにより、半導体基板内にLDD拡散層を形成するステップ(c)と、
上記ゲート電極の側面上に上記CVD絶縁膜を挟んでサイドウォールスペーサを形成するステップ(d)と、
上記半導体基板内にソース・ドレイン拡散層を形成するステップ(e)とを備えている半導体装置の製造方法。

【請求項2】 請求項1記載の半導体装置の製造方法において、

上記ステップ(b)と上記ステップ(c)との間に、異方性エッチングを行なって少なくとも上記ゲート電極の側面上にCVD絶縁膜を残存させるステップをさらに備えていることを特徴とする半導体装置の製造方法。

【請求項3】 請求項1又は2記載の半導体装置の製造方法において、

上記CVD絶縁膜の膜厚は5～30nmであることを特徴とする半導体装置の製造方法。

【請求項4】 請求項1～3のうちのいずれか1つに記載の半導体装置の製造方法において、

上記ステップ(c)の後、上記不純物イオンの注入によって生じた上記ゲート絶縁膜中のダメージを回復するための加熱処理を少なくとも酸素を含む雰囲気下において行なうステップをさらに備えていることを特徴とする半導体装置の製造方法。

【請求項5】 請求項4記載の半導体装置の製造方法において、

上記加熱処理を行なうステップは、酸化性雰囲気下において行なわれることを特徴とする半導体装置の製造方法。

【請求項6】 MOS型電界効果トランジスタとして機能する半導体装置の製造方法であって、半導体基板上にゲート絶縁膜及びゲート電極を順次形成するステップ(a)と、

上記ゲート電極の露出面を被覆する被覆絶縁膜を形成するステップ(b)と、

上記ゲート電極及び絶縁膜の上方から半導体基板内に不純物イオンを注入することにより、半導体基板内にLDD拡散層を形成するステップ(c)と、

上記不純物イオンの注入によって生じた上記ゲート絶縁膜中のダメージを回復するための加熱処理を少なくとも酸素を含む雰囲気下において行なうステップ(d)と、
上記ゲート電極の側面上に上記被覆絶縁膜を挟んでサイドウォールスペーサを形成するステップ(e)と、

上記半導体基板内にソース・ドレイン拡散層を形成するステップ(f)とを備えている半導体装置の製造方法。

【請求項7】 請求項6記載の半導体装置の製造方法において、

上記ステップ(d)は、酸化性雰囲気下で行なわれることを特徴とする半導体装置の製造方法。

【請求項8】 請求項6又は7記載の半導体装置の製造方法において、

上記ステップ(d)における加熱処理は、800～1100℃の範囲で120秒以内の急速加熱処理によって行なわれることを特徴とする半導体装置の製造方法。

【請求項9】 不揮発性半導体記憶装置として機能する半導体装置の製造方法であって、

半導体基板上にゲート絶縁膜、浮遊ゲート電極、層間絶縁膜及び制御ゲート電極を順次形成するステップ(a)と、

CVD法により上記浮遊ゲート電極、層間絶縁膜および制御ゲート電極の表面を被覆するCVD絶縁膜を形成するステップ(b)と、

上記CVD絶縁膜、制御ゲート電極、層間絶縁膜及び浮遊ゲート電極の上方から半導体基板内に不純物イオンを注入することにより、ソース・ドレイン拡散層を形成するステップ(c)とを備えている半導体装置の製造方法。

【請求項10】 請求項9記載の半導体装置の製造方法において、

上記ステップ(b)と上記ステップ(c)との間に、異方性エッチングを行なって少なくとも上記浮遊ゲート電極の側面上にCVD絶縁膜を残存させるステップをさらに備えていることを特徴とする半導体装置の製造方法。

【請求項11】 請求項9又は10記載の半導体装置の製造方法において、

上記CVD絶縁膜の膜厚は5～30nmであることを特徴とする半導体装置の製造方法。

【請求項12】 請求項9～11のうちのいずれか1つに記載の半導体装置の製造方法において、

上記ステップ(c)の後、上記不純物イオンの注入によって生じた上記ゲート絶縁膜中のダメージを回復するための加熱処理を少なくとも酸素を含む雰囲気下において行なうステップをさらに備えていることを特徴とする半導体装置の製造方法。

【請求項13】 請求項12記載の半導体装置の製造方法において、

上記加熱処理を行なうステップは、酸化性雰囲気下において行なわれることを特徴とする半導体装置の製造方法。

【請求項14】 不揮発性半導体記憶装置として機能する半導体装置の製造方法であって、

半導体基板上にゲート絶縁膜、浮遊ゲート電極、層間絶縁膜及び制御ゲート電極を順次形成するステップ(a)

と、

上記浮遊ゲート電極、層間絶縁膜および制御ゲート電極の表面を被覆する被覆絶縁膜を形成するステップ (b) と、

上記被覆絶縁膜、制御ゲート電極、層間絶縁膜及び浮遊ゲート電極の上方から半導体基板内に不純物イオンを注入することにより、ソース・ドレイン拡散層を形成するステップ (c) と、

上記不純物イオンの注入によって生じた上記ゲート絶縁膜中のダメージを回復するための加熱処理を少なくとも酸素を含む雰囲気下において行なうステップ (d) とを備えている半導体装置の製造方法。

【請求項 15】 請求項 14 記載の半導体装置の製造方法において、

上記ステップ (d) は、酸化性雰囲気下で行なわれることを特徴とする半導体装置の製造方法。

【請求項 16】 請求項 14 又は 15 記載の半導体装置の製造方法において、

上記ステップ (d) における加熱処理は、800～1100℃の範囲で120秒以内の急速加熱処理によって行なわれることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、高い信頼性をもつゲート絶縁膜を備え、MOS型電界効果トランジスタあるいは不揮発性半導体記憶装置として機能する半導体装置の製造方法に関するものである。

【0002】

【従来の技術】 従来より、半導体装置を利用している多くの分野においては、ゲート絶縁膜上にゲート電極を形成し、その下方をチャネル領域とし、その両側にソース・ドレイン拡散層を形成して、ゲート電極に印加する電圧によってソース・ドレイン拡散層間における電流の値やオン・オフを制御するようにしたMOS型電界効果トランジスタ (MOSFET) や、このMOSFETにおけるゲート絶縁膜とゲート電極との間に、電荷を保持する浮遊ゲート電極を介在させた不揮発性半導体記憶装置が汎用されている。

【0003】 図15 (a) ～ (d) は、MOSFETとして機能する従来技術に係る半導体装置の製造工程を示す断面図である。図15 (a) ～ (d) において、111は半導体基板、112はゲート酸化膜、113はゲート電極、114はLDD拡散層を形成するために半導体基板に注入される不純物イオンとしてのヒ素イオン、115aおよび115bはLDD拡散層、116aおよび116bはサイドウォールスペーサ、117はソース拡散層、118はドレイン拡散層をそれぞれ示す。

【0004】 以下、図15 (a) ～ (d) を参照しながら、従来技術に係る半導体装置の製造方法について説明する。

【0005】 図15 (a) に示す工程で、第1導電型 (例えばP型) のSi基板111上にゲート酸化膜112を挟んでゲート電極113を形成する。

【0006】 次に、図15 (b) に示す工程で、ゲート電極113の上方から、低濃度の第2導電型の不純物イオンとしてのヒ素イオン114をSi基板111内に注入し、Si基板111内におけるゲート電極113の両側に位置する領域にLDD拡散層115a、115bを形成する。

【0007】 次に、図15 (c) に示す工程で、基板上にシリコン酸化膜などの絶縁膜を堆積した後、異方性エッチングを行なって、ゲート電極113の側面上にサイドウォールスペーサ116a、116bを形成する。このとき、ゲート電極113又はサイドウォールスペーサ116a、116bで覆われていない領域では、ゲート酸化膜112もエッチングされる。

【0008】 その後、図15 (d) に示す工程で、ゲート電極113及びサイドウォールスペーサ116a、116bの上方から、高濃度の第2導電型の不純物イオンとしてのヒ素イオンをSi基板111内に注入し、LDD拡散層115a、115bの外側にそれぞれソース拡散層117、ドレイン拡散層118を形成する。

【0009】 また、ゲート酸化膜、浮遊ゲート電極、ONO膜及び制御ゲート電極を積層した構造を有する不揮発性半導体記憶装置も、基本的には上記図15 (a) ～ (d) に示す工程と同様の手順によって形成されている。

【0010】

【発明が解決しようとする課題】 ところで、上記従来の構造を有するMOSFETや不揮発性半導体記憶装置のリーク特性やディスタープ特性 (しきい値電圧の経時変化) にばらつきが大きく、かつ、その値自体にも改善すべき点が多いという問題があった。そこで、本発明者が、上記特性のばらつきや悪化をもたらしている原因を調べたところ、不純物イオンの注入時におけるゲート酸化膜の端部におけるダメージが1つの原因として考えられた。すなわち、図15 (b) に示す不純物のイオン注入工程では、チャネリングの防止などのために、基板面に垂直な方向から7°程度傾いた方向からイオン注入を行なうことが一般的であり、その際にゲート電極の端部を突き抜けた不純物イオンがゲート酸化膜に導入されている可能性がある。また、不揮発性半導体記憶装置の場合には、ゲート酸化膜だけでなくONO膜などからなる層間絶縁膜にも不純物が導入されているものと思われる。

【0011】 また、いずれかの工程で、酸化雰囲気中での熱処理を伴う工程を含む製造工程においては、ゲート酸化膜の両端部が極部的に厚くなってパースピークが生じることも観察されており、このパースピークによってゲート長が変化したのと同じ効果、つまりしきい値電圧

のばらつきが生じている可能性もある。

【0012】特に、不揮発性半導体記憶装置においては、ゲート酸化膜にバースピークが生じることにより電子の注入効率または引き抜き効率が劣化したり、浮遊ゲート電極—制御ゲート電極間の層間絶縁膜にバースピークが生じることによりその部分に局部的ストレスが印加して素子特性を劣化させるという問題もある。

【0013】本発明の第1の目的は、ゲート酸化膜の両端部のダメージ又はバースピークの発生を抑制するための手段を講ずることにより、しきい値電圧などの特性のばらつきの小さい、さらには、それらの特性自体の良好なMOSFETとして機能する半導体装置の製造方法を提供することにある。

【0014】本発明の第2の目的は、ゲート酸化膜のダメージやバースピークの発生を抑制するなどの手段を講ずることにより、しきい値電圧などの特性のばらつきの小さい、さらには、それらの特性自体の良好な不揮発性半導体記憶装置として機能する半導体装置の製造方法を提供することにある。

【0015】

【課題を解決するための手段】本発明の第1の半導体装置の製造方法は、MOS型電界効果トランジスタとして機能する半導体装置の製造方法であって、半導体基板上にゲート絶縁膜及びゲート電極を順次形成するステップ(a)と、CVD法により上記ゲート電極の露出面を被覆するCVD絶縁膜を形成するステップ(b)と、上記ゲート電極及びCVD絶縁膜の上方から半導体基板内に不純物イオンを注入することにより、半導体基板内にLDD拡散層を形成するステップ(c)と、上記ゲート電極の側面上に上記CVD絶縁膜を挟んでサイドウォールスペースを形成するステップ(d)と、上記半導体基板内にソース・ドレイン拡散層を形成するステップ(e)とを備えている。

【0016】この方法により、ステップ(c)において半導体基板内に注入される不純物イオンが、ゲート電極の端部においてゲート電極を突き抜ける現象を抑制できるため、ゲート絶縁膜中のダメージを抑制できる。したがって、高い信頼性をもつゲート絶縁膜を備えた半導体装置を製造することが可能となり、半導体装置の高信頼性化を実現できる。一方、CVD法による絶縁膜の成長は、800℃以下の低温のもとで実施できるので、ゲート絶縁膜にバースピークを生ぜしめることがなく、半導体装置の微細化に対する障害とはならない。さらに、ゲート電極がCVD絶縁膜によって覆われているので、ゲート電極に含まれる不純物が外部へ拡散するのを防止できるため、特性のばらつきが少ない半導体装置を形成することができる。

【0017】上記第1の半導体装置の製造方法において、上記ステップ(b)と上記ステップ(c)との間に、異方性エッチングを行なって少なくとも上記ゲート

電極の側面上にCVD絶縁膜を残存させるステップをさらに備えることにより、半導体基板上のCVD絶縁膜が除去されるので、LDD拡散層を形成するための不純物イオン注入時の加速エネルギーを低減できる。したがって、不純物イオンのゲート電極の両端部における突き抜けをさらに抑制できることになる。

【0018】なお、CVD絶縁膜の被覆と不純物イオン注入の工程を2回以上実施することにより、緩やかな不純物濃度勾配をもつLDD構造が得られ、優れた電気特性を有した半導体装置を実現できる。

【0019】上記第1の半導体装置の製造方法において、上記CVD絶縁膜の膜厚が5～30nmであれば、イオン注入に起因するゲート絶縁膜へのダメージを確実に低減できるとともに、過剰な熱処理によらなくてもLDD拡散層とゲート電極とを適正範囲でオーバーラップさせることが可能となる。

【0020】上記第1の半導体装置の製造方法において、上記ステップ(c)の後、上記不純物イオンの注入によって生じた上記ゲート絶縁膜中のダメージを回復するための加熱処理を少なくとも酸素を含む雰囲気下において行なうステップをさらに備えることにより、ダメージの存在に起因するリークをより効果的に低減することができ、しきい値電圧の経時変化などの不具合を抑制することができる。

【0021】上記加熱処理を行なうステップを酸化性雰囲気下において行なうことにより、さらに、ゲート絶縁膜と半導体基板との間に存在するダングリングボンドの修復によるトラップ量の低減などの効果も得られる。

【0022】本発明の第2の半導体装置の製造方法は、MOS型電界効果トランジスタとして機能する半導体装置の製造方法であって、半導体基板上にゲート絶縁膜及びゲート電極を順次形成するステップ(a)と、上記ゲート電極の露出面を被覆する被覆絶縁膜を形成するステップ(b)と、上記ゲート電極及び絶縁膜の上方から半導体基板内に不純物イオンを注入することにより、半導体基板内にLDD拡散層を形成するステップ(c)と、上記不純物イオンの注入によって生じた上記ゲート絶縁膜中のダメージを回復するための加熱処理を少なくとも酸素を含む雰囲気下において行なうステップ(d)と、上記ゲート電極の側面上に上記被覆絶縁膜を挟んでサイドウォールスペースを形成するステップ(e)と、上記半導体基板内にソース・ドレイン拡散層を形成するステップ(f)とを備えている。

【0023】この方法により、ゲート絶縁膜中のダメージの存在に起因するリークをより効果的に低減することができ、その結果、しきい値電圧の経時変化などの不具合を抑制することができる。

【0024】上記ステップ(d)を、酸化性雰囲気下で行なうことにより、さらに、ダングリングボンドの修復によるトラップ量の低減などの効果も得られる。

【0025】上記第2の半導体装置の製造方法において、上記ステップ(d)における加熱処理を、800～1100℃の範囲で120秒以内の急速加熱処理によって行なうことにより、ゲート絶縁膜におけるバースピークの発生に起因する素子特性のばらつきなどを抑制することができる。

【0026】本発明の第3の半導体装置の製造方法は、不揮発性半導体記憶装置として機能する半導体装置の製造方法であって、半導体基板上にゲート絶縁膜、浮遊ゲート電極、層間絶縁膜及び制御ゲート電極を順次形成するステップ(a)と、CVD法により上記浮遊ゲート電極、層間絶縁膜および制御ゲート電極の表面を被覆するCVD絶縁膜を形成するステップ(b)と、上記CVD絶縁膜、制御ゲート電極、層間絶縁膜及び浮遊ゲート電極の上方から半導体基板内に不純物イオンを注入することにより、ソース・ドレイン拡散層を形成するステップ(c)とを備えている。

【0027】この方法により、ステップ(c)において半導体基板内に注入される不純物イオンが浮遊ゲート電極の端部において浮遊ゲート電極を突き抜ける現象を抑制できるため、ゲート絶縁膜の端部におけるダメージを抑制できる。したがって、高い絶縁性および信頼性を有するゲート絶縁膜を備えた不揮発性半導体記憶装置を製造することが可能となり、不揮発性半導体記憶装置の書き換え回数の向上および各種ディスタープ特性が向上する。一方、CVD法による絶縁膜の成長は、800℃以下の低温のもとで実施できるので、ゲート絶縁膜にバースピークを生ぜしめることがなく、半導体装置の微細化に対する障害とはならない。さらに、浮遊ゲート電極の側方がCVD絶縁膜により覆われているので、浮遊ゲート電極に含まれる不純物が外部へ拡散するのを防止でき、特性のばらつきが少ない不揮発性半導体記憶装置を製造することができる。また、浮遊ゲート電極の側方がCVD絶縁膜によって覆われているので、電荷保持特性に優れた不揮発性半導体記憶装置を製造することができる。

【0028】上記第3の半導体装置の製造方法において、上記ステップ(b)と上記ステップ(c)との間に、異方性エッチングを行なって少なくとも上記浮遊ゲート電極の側面上にCVD絶縁膜を残存させるステップをさらに備えることができる。

【0029】また、上記CVD絶縁膜の膜厚は5～30nmであることが好ましい。

【0030】上記第3の半導体装置の製造方法において、上記ステップ(c)の後、上記不純物イオンの注入によって生じた上記ゲート絶縁膜中のダメージを回復するための加熱処理を少なくとも酸素を含む雰囲気下において行なうステップをさらに備えることにより、しきい値電圧の経時変化の低減を図り、ひいては、書き換え回数の向上を図ることができる。

【0031】上記加熱処理を行なうステップを、酸化性雰囲気下において行なうことにより、半導体基板—ゲート絶縁膜間のダングリングボンドの修復によるトラップ量の低減などを図ることができる。

【0032】本発明の第4の半導体装置の製造方法は、不揮発性半導体記憶装置として機能する半導体装置の製造方法であって、半導体基板上にゲート絶縁膜、浮遊ゲート電極、層間絶縁膜及び制御ゲート電極を順次形成するステップ(a)と、上記浮遊ゲート電極、層間絶縁膜および制御ゲート電極の表面を被覆する被覆絶縁膜を形成するステップ(b)と、上記被覆絶縁膜、制御ゲート電極、層間絶縁膜及び浮遊ゲート電極の上方から半導体基板内に不純物イオンを注入することにより、ソース・ドレイン拡散層を形成するステップ(c)と、上記不純物イオンの注入によって生じた上記ゲート絶縁膜中のダメージを回復するための加熱処理を少なくとも酸素を含む雰囲気下において行なうステップ(d)とを備えている。

【0033】この方法により、ゲート絶縁膜中のダメージに起因するリーク特性の改善などによって、しきい値電圧の経時変化の低減を図り、ひいては、書き換え回数の向上を図ることができる。

【0034】上記第4の半導体装置の製造方法において、上記ステップ(d)を、酸化性雰囲気下で行なうことにより、半導体基板—ゲート絶縁膜の界面に存在するダングリングボンドの低減によるトラップ量の低減をも図ることができる。

【0035】上記第4の半導体装置の製造方法において、上記ステップ(d)における加熱処理は、800～1100℃の範囲で120秒以内の急速加熱処理によって行なうことが好ましい。

【0036】

【発明の実施の形態】(第1の実施形態)まず、本発明の第1の実施形態について説明する。図1(a)～(e)は、本実施形態に係るMOSFETとして機能する半導体装置の製造工程を示す断面図である。

【0037】図1(a)～(e)において、11はSi基板、12はゲート酸化膜、13はゲート電極、14はLDD拡散層を形成するためにSi基板11内に注入される不純物イオンとしてのヒ素イオン、15aおよび15bはLDD拡散層、16aおよび16bはサイドウォールスペーサ、17はソース拡散層、18はドレイン拡散層、19はCVD法により堆積されるシリコン酸化膜からなるCVD絶縁膜である。

【0038】まず、図1(a)に示す工程で、P型シリコンからなるSi基板11上に、パイロ酸化により膜厚が9nmのシリコン酸化膜からなるゲート酸化膜12を形成した後、その上にリンドーパされたポリシリコンからなるゲート電極13を形成する。

【0039】次に、図1(b)に示す工程で、基板上に

減圧CVD法により厚みが10nmのシリコン酸化膜からなるCVD絶縁膜19を堆積し、ゲート酸化膜12及びゲート電極13をCVD絶縁膜19によって被覆する。

【0040】次に、図1(c)に示す工程で、ゲート電極13及びCVD絶縁膜19の上方から、Si基板11内にヒ素イオン14を注入し、Si基板11内におけるゲート電極13の両側方に位置する領域にN型のLDD拡散層15a、15bを形成する。注入条件は、例えば加速エネルギーが50keVでドーズ量が $5 \times 10^{11} \text{ cm}^{-2}$ である。また、LDD拡散層15a、15bをゲート電極13にオーバーラップさせるために、イオン注入の角度を基板面にほぼ垂直な方向から約25°傾けている(4ステップ注入)。

【0041】次に、図1(d)に示す工程で、基板上にTEOS膜を堆積した後、異方性エッチングを行なって、ゲート電極13の側面上にCVD絶縁膜19を挟んでTEOS膜からなるサイドウォールスペーサ16a、16bを形成する。この工程で、Si基板11上のゲート酸化膜12及びCVD絶縁膜19が除去される。

【0042】その後、図1(e)に示す工程で、ゲート電極13、CVD絶縁膜19及びサイドウォールスペーサ16a、16bの上方から、Si基板11内にヒ素イオンを注入して、LDD拡散層15a、15bの外側にN型のソース拡散層17およびドレイン拡散層18をそれぞれ形成する。イオン注入条件は、例えば加速エネルギーが50keVで、ドーズ量が $2 \times 10^{11} \text{ cm}^{-2}$ である。また、チャネリング防止のために、イオン注入の角度を基板面にほぼ垂直な方向から約7°傾けている。

【0043】本実施形態の製造方法によれば、図1(c)に示す工程で、ゲート電極13の側面がCVD絶縁膜19によって被覆されているので、LDD拡散層15a、15bを形成する目的でSi基板11内に注入されるヒ素イオン14が、ゲート電極13の端部においてゲート電極13を突き抜けてその下方のゲート酸化膜12に導入されるのを抑制することができる。したがって、上記従来の半導体装置の製造方法によって生じるようなゲート酸化膜12中のダメージ、具体的には、ゲート酸化膜12のうちのゲート絶縁膜として機能する領域(ゲート電極13の下方に位置する部分)におけるダメージ(以下の各実施形態においても同様)を抑制でき、高い絶縁性および信頼性を有するゲート酸化膜を備えた半導体装置を得ることができる。すなわち、MOSFETとして機能する半導体装置の高信頼性化を実現できる。

【0044】また、CVD法によって形成されるCVD絶縁膜の成長は、800℃以下の低温のもとで実施されるため、比較的高温下で行なわれる熱酸化により厚い保護用の酸化膜を形成する場合のように、ゲート酸化膜12のうちゲート電極13の下方に位置する領域(現実

ゲート絶縁膜として機能する領域)の両端部にバースピークを生ぜしめることはなく、ゲード長を正確に制御できる。よって、半導体装置の微細化に有利である。また、熱酸化工程よりもCVD工程の方が低温条件で行なわれることにより、ゲート電極13にドーピングされているリンなどの不純物がゲート電極13から下方のゲート酸化膜12やSi基板11に拡散するのを抑制することができる。

【0045】さらに、ゲート電極13をCVD絶縁膜19で被覆しておくことにより、ゲート電極13中の不純物がゲート電極13の側方や上方に拡散するのを防止できるため、特性のばらつきが少ない半導体装置を得ることができるという利点をも有する。

【0046】なお、本実施形態の図1(c)に示すヒ素イオン14の注入工程に前後して、パンチスルーストップバとなるP型拡散層を形成するためのB(ボロン)イオンまたはBF₃イオンをCVD絶縁膜19及びゲート酸化膜12の上方からSi基板11内に注入してもよい。また、ヒ素イオンの代わりにP(リン)イオンを用いてもよい。これらの場合においても、本実施形態と同様の効果が得られることは明らかである。

【0047】(第2の実施形態)次に、本発明の第2の実施形態について説明する。図2(a)~(e)は、本実施形態に係るMOSFETとして機能する半導体装置の製造工程を示す断面図である。図2(a)~(e)において、11はSi基板、12はゲート酸化膜、13はゲート電極、14はLDD拡散層を形成するためにSi基板11内に注入される不純物イオンとしてのヒ素イオン、15aおよび15bはLDD拡散層、16aおよび16bはサイドウォールスペーサ、17はソース拡散層、18はドレイン拡散層、19はCVD法により堆積されるシリコン酸化膜からなるCVD絶縁膜である。

【0048】まず、図2(a)に示す工程で、P型シリコンからなるSi基板11上に膜厚が9nmのシリコン酸化膜からなるゲート酸化膜12を形成した後、その上にリンドープされたポリシリコンからなるゲート電極13を形成する。

【0049】次に、図2(b)に示す工程で、基板上に減圧CVD法により厚みが10nmのシリコン酸化膜からなるCVD絶縁膜19を堆積し、ゲート酸化膜12及びゲート電極13をCVD絶縁膜19によって被覆する。つづいて、異方性エッチングを行なって、ゲート電極13の側面上の部分を除くCVD絶縁膜19と、ゲート電極13の下方の部分を除くゲート酸化膜12とを除去する。

【0050】次に、図2(c)に示す工程で、ゲート電極13及びCVD絶縁膜19の上方から、Si基板11内にヒ素イオン14を注入し、Si基板11内におけるゲート電極13の両側方に位置する領域にN型のLDD拡散層15a、15bを形成する。注入条件は、例えば

加速エネルギーが30keVでドーズ量が $5 \times 10^{11} \text{ cm}^{-2}$ である。また、LDD拡散層15a、15bをゲート電極13にオーバーラップさせるために、イオン注入の角度を基板面にほぼ垂直な方向から約25°傾けている(4ステップ注入)。

【0051】次に、図2(d)に示す工程で、基板上にTEOS膜を堆積した後、異方性エッチングを行なって、ゲート電極13の側面上にCVD絶縁膜19を介しTEOS膜からなるサイドウォールスペーサ16a、16bを形成する。

【0052】その後、図2(e)に示す工程で、ゲート電極13、CVD絶縁膜19及びサイドウォールスペーサ16a、16bの上方から、Si基板11内にヒ素イオンを注入して、LDD拡散層15a、15bの外側にN型のソース拡散層17およびドレイン拡散層18をそれぞれ形成する。イオン注入条件は、例えば加速エネルギーが50keVで、ドーズ量が $2 \times 10^{11} \text{ cm}^{-2}$ である。また、チャネリング防止のために、イオン注入の角度を基板面にほぼ垂直な方向から約7°傾けている。

【0053】本実施形態の製造方法によれば、図2(c)に示す工程で、ゲート電極13の側面がCVD絶縁膜19によって被覆されているので、LDD拡散層15a、15bを形成する目的でSi基板11内に注入されるヒ素イオン14が、ゲート電極13の端部においてゲート電極13を突き抜けるのが阻止される。よって、上記第1の実施形態と同様の効果を得ることができる。特に、本実施形態の方法によると、図2(b)に示す工程で、ゲート電極13の側面上を除く領域では、CVD絶縁膜19が除去されているので、不純物イオン注入時の注入エネルギーが小さくて済む。その結果、ゲート電極13の側面上のCVD絶縁膜19を突き抜けてゲート酸化膜12に達する不純物量が、第1の実施形態の製造工程よりも低減されるという利点がある。

【0054】なお、本実施形態の図2(c)に示すヒ素イオン14の注入工程に前後して、パンチスルーストップとなるP型拡散層を形成するためのB(ボロン)イオンまたはBF₃イオンをCVD絶縁膜19及びゲート酸化膜12の上方からSi基板11内に注入してもよい。その場合においても、本実施形態と同様の効果が得られることは明らかである。

【0055】また、CVD絶縁膜19の被覆とLDD拡散層15a、15b形成のための不純物イオン注入とを、不純物イオンの濃度を徐々に濃くしながら2回以上繰り返して実施することにより、緩やかな不純物濃度勾配をもつLDD構造が得られ、優れた電気特性を有する半導体装置を実現できる。

【0056】—CVD絶縁膜の厚みの適正範囲—
次に、上記第1および第2の実施形態におけるCVD絶縁膜19の膜厚の適正範囲について説明する。

【0057】図3は、ゲート酸化膜のリーク特性のCV

D絶縁膜厚みに対する依存性を示す特性図である。同図において、横軸はCVD酸化膜の厚みを表し、縦軸はゲート酸化膜のリーク電流を表している。同図に示すように、CVD絶縁膜を5nm以上堆積することにより、ゲート酸化膜のリーク電流が激減しており、イオン注入に起因するゲート酸化膜へのダメージを低減できる効果が大きいことがわかる。ただし、CVD絶縁膜膜厚が大きくなるにつれてダメージ低減効果が顕著になるが、過剰な熱処理によらなくてもLDD拡散層とゲート電極とを適正範囲でオーバーラップさせるためには、CVD絶縁膜の膜厚が30nm以下であることが好ましい。

【0058】また、上記第1、第2の実施形態においては、CVD絶縁膜19をシリコン酸化膜により構成したが、CVD絶縁膜19をシリコン窒化膜により構成してもよい。シリコン酸化膜によりCVD膜19を構成した場合には、シリコン窒化膜に比べて下地に与えるストレスが小さいという利点がある。一方、シリコン窒化膜によりCVD絶縁膜19を構成した場合には、その後の高温下で行なわれる工程(不純物の拡散工程など)においてゲート酸化膜12におけるパーズピークの発生をより効果的に抑制できる利点がある。このことは、後述するMOSFETに関する実施形態においても同様である。

【0059】(第3の実施形態)次に、本発明の第3の実施形態について説明する。図4(a)～(c)は、本実施形態に係る不揮発性半導体記憶装置として機能する半導体装置の製造工程を示す断面図である。図4(a)～(c)において、11はSi基板、12はゲート酸化膜、17はソース拡散層、18はドレイン拡散層、19はCVD法により堆積される絶縁膜、20は浮遊ゲート電極、21は層間絶縁膜、22は制御ゲート電極、23はソース拡散層およびドレイン拡散層を形成するためにSi基板11に注入される不純物イオンとしてのリンイオンである。

【0060】まず、図4(a)に示す工程で、P型シリコンからなるSi基板11上に膜厚が9nmのシリコン酸化膜からなるゲート酸化膜12を形成した後、その上に、リンドーブされたポリシリコンからなる浮遊ゲート電極20、ONO膜(窒化膜の上下に酸化膜を設けてなる3層膜)からなる層間絶縁膜21、およびリンドーブされたポリシリコンからなる制御ゲート電極22を順次形成する。

【0061】次に、図4(b)に示す工程で、基板上に減圧CVD法により厚みが10nmのシリコン酸化膜からなるCVD絶縁膜19を堆積し、ゲート酸化膜12と、浮遊ゲート電極20、層間絶縁膜21及び制御ゲート電極22からなる多層体とをCVD絶縁膜により被覆する。

【0062】その後、図4(c)に示す工程で、CVD絶縁膜19で覆われた制御ゲート電極22、浮遊ゲート電極20等の上方から、Si基板11内にリンイオン2

3を注入し、Si基板11内における浮遊ゲート電極20の両側方に位置する領域にN型のソース拡散層17およびドレイン拡散層18を形成する。注入条件は、例えば加速エネルギーが70keVで、ドーズ量が $5 \times 10^{14} \text{ cm}^{-2}$ である。また、チャネリング防止のために、イオン注入の角度を基板面にほぼ垂直な方向から約7°傾けている。

【0063】本実施形態の製造方法によれば、図4

(c)に示す工程で、浮遊ゲート電極20の側面がCVD絶縁膜19によって被覆されているので、浮遊ゲート電極20や制御ゲート電極22の端部におけるリンイオンの突き抜けを抑制できる。よって、高い絶縁性および信頼性を有するゲート酸化膜12及び層間絶縁膜21を備えた不揮発性半導体記憶装置を得ることができ、不揮発性半導体記憶装置の書き換え回数の向上および各種デバイス特性の向上が実現できる。

【0064】また、CVD法によって形成されるCVD絶縁膜の成長は、800℃以下の低温のもとで実施されるため、熱酸化によって厚い保護酸化膜を形成する場合のようにゲート酸化膜12における浮遊ゲート電極20の下方に位置する領域（現実にはゲート絶縁膜として機能する部分）の厚膜化（パズピーク）を招くことはなく、ゲート長を正確に制御できる。よって、半導体装置の微細化に有利である。また、ONO膜からなる層間絶縁膜21の端部における厚膜化（パズピーク）も抑制できるので、層間絶縁膜の端部に局部的にストレスが印加されることに起因する素子特性のばらつきをも防止することができる。

【0065】さらに、熱酸化工程よりもCVD工程の方が低温条件で行なわれることにより、浮遊ゲート電極20にドーピングされているリンなどの不純物が浮遊ゲート電極20から下方のゲート酸化膜12やSi基板11に拡散するのを抑制することができる。

【0066】さらに、浮遊ゲート電極20や制御ゲート電極22をCVD絶縁膜19で被覆しておくことにより、浮遊ゲート電極20や制御ゲート電極22中の不純物がその外方に拡散するのを防止できるため、特性のばらつきが少ない不揮発性半導体記憶装置を得ることができる。

【0067】加えて、浮遊ゲート電極20が良質のCVD絶縁膜19によって覆われているので、電荷保持特性に優れた不揮発性半導体記憶装置を得ることができる。

【0068】なお、本実施形態の図4(c)に示すリンイオン23の注入工程に前後して、しきい値制御層又はパンチスルーストップパとなるP型拡散層を形成するためのB（ボロン）イオンまたはBF₃イオンをCVD絶縁膜19及びゲート酸化膜12を通過させてSi基板11内に注入してもよい。その場合においても、本実施形態と同様の効果が得られることは明らかである。

【0069】（第4の実施形態）次に、第4の実施形態

について説明する。図5(a)～(c)は、本実施形態に係る不揮発性半導体記憶装置として機能する半導体装置の製造工程を示す断面図である。図5(a)～(c)において、11はSi基板、12はゲート酸化膜、17はソース拡散層、18はドレイン拡散層、19はCVD法により堆積されるシリコン酸化膜からなるCVD絶縁膜、20は浮遊ゲート電極、21は層間絶縁膜、22は制御ゲート電極、23はソース拡散層およびドレイン拡散層を形成するためにSi基板11に注入される不純物イオンとしてのリンイオンである。

【0070】まず、図5(a)に示す工程で、P型シリコンからなるSi基板11上に膜厚が9nmのシリコン酸化膜からなるゲート酸化膜12を形成した後、その上に、リンドープされたポリシリコンからなる浮遊ゲート電極20、ONO膜（窒化膜の上下に酸化膜を設けてなる3層膜）からなる層間絶縁膜21、およびリンドープされたポリシリコンからなる制御ゲート電極22を順次形成する。

【0071】次に、図5(b)に示す工程で、基板上に減圧CVD法により厚みが10nmのシリコン酸化膜からなるCVD絶縁膜19を堆積し、ゲート酸化膜12と、浮遊ゲート電極20、層間絶縁膜及び制御ゲート電極22からなる多層体とをCVD絶縁膜により被覆する。つづいて、異方性エッチングを行なって、浮遊ゲート電極20、層間絶縁膜21及び制御ゲート電極22の側面上の部分を除くCVD絶縁膜19と、浮遊ゲート電極20の下方の部分を除くゲート酸化膜12とを除去する。

【0072】その後、図5(c)に示す工程で、CVD絶縁膜19、制御ゲート電極22、浮遊ゲート電極20等の上方から、Si基板11内にリンイオン23を注入し、Si基板11内における浮遊ゲート電極20の両側方に位置する領域にN型のソース拡散層17およびドレイン拡散層18を形成する。注入条件は、例えば加速エネルギーが50keVで、ドーズ量が $5 \times 10^{14} \text{ cm}^{-2}$ である。また、チャネリング防止のために、イオン注入の角度を基板面にほぼ垂直な方向から約7°傾けている。

【0073】本実施形態の製造方法によれば、図5(c)に示す工程で、浮遊ゲート電極20の側面がCVD絶縁膜19によって被覆されているので、ソース拡散層17及びドレイン拡散層18を形成する目的でSi基板11内に注入されるリンイオン23が、浮遊ゲート電極20の端部において浮遊ゲート電極20を突き抜けてゲート酸化膜12に達するのが抑制される。また、上記第3の実施形態と同様に、CVD絶縁膜19を形成する工程では、熱酸化工程のごとくゲート酸化膜12の端部の厚膜化（パズピーク）を招くことはないため、ゲート長を正確に制御できる。よって、半導体装置の微細化に有利である。また、ONO膜からなる層間絶縁膜21

の端部における厚膜化（バズピーク）も抑制できるので、層間絶縁膜の端部に局部的にストレスが印加されることに起因する素子特性のばらつきをも防止することができる。よって、第 4 の実施形態と同様の効果を得ることができる。

【0074】なお、CVD 絶縁膜の被覆とリンイオンの注入とを、不純物イオンの濃度を順次濃くしながら 2 回以上実施することにより、緩やかな不純物濃度勾配をもつソース・ドレイン構造が得られ、優れた電気特性を有する不揮発性半導体記憶装置を実現できる。

【0075】なお、本実施形態の図 5（c）に示すリンイオン 23 の注入工程に前後して、しきい値制御層又はパンチスルーストップとなる P 型拡散層を形成するための B（ボロン）イオンまたは BF₃ イオンを CVD 絶縁膜 19 及びゲート酸化膜 12 の上方から Si 基板 11 内に注入してもよい。その場合においても、本実施形態と同様の効果が得られることは明らかである。

【0076】-CVD 絶縁膜の厚みの適正範囲-次に、上記第 3 および第 4 の実施形態における CVD 絶縁膜 19 の膜厚の適正範囲について説明する。

【0077】第 3 及び第 4 の実施形態においても、CVD 絶縁膜の適正範囲は、上述の第 1 及び第 2 の実施形態における CVD 絶縁膜の適正範囲と同様である。すなわち、ゲート酸化膜のリーク特性の CVD 絶縁膜膜厚に対する依存性（図 3 参照）から、CVD 絶縁膜が 5 nm 以上である場合に、イオン注入に起因するゲート酸化膜へのダメージを低減できる効果が大きいことがわかる。ただし、CVD 絶縁膜膜厚が大きくなるにつれてダメージ低減効果が顕著になるが、過剰な熱処理によらなくても LDD 拡散層とゲート電極とを適正範囲でオーバーラップさせるためには、CVD 絶縁膜の膜厚が 30 nm 以下であることが好ましい。

【0078】また、上記第 3、第 4 の実施形態においては、CVD 絶縁膜 19 をシリコン酸化膜により構成したが、CVD 絶縁膜 19 をシリコン窒化膜により構成してもよい。シリコン酸化膜により CVD 膜 19 を構成した場合には、シリコン窒化膜に比べて下地に与えるストレスが小さいという利点がある。一方、シリコン窒化膜により CVD 絶縁膜 19 を構成した場合には、その後の高温下で行なわれる工程（不純物の拡散工程など）においてゲート酸化膜 12 や層間絶縁膜 21 におけるバズピークの発生をより効果的に抑制できる利点がある。このことは、後述する不揮発性半導体記憶装置に関する実施形態においても同様である。

【0079】（第 5 の実施形態）次に、本発明の第 5 の実施形態について説明する。図 6 は本実施形態に係る MOSFET として機能する半導体装置の断面図である。同図において、11 は P 型シリコンからなる Si 基板、12 はシリコン酸化膜からなるゲート酸化膜、13 はポリシリコンからなるゲート電極、15 a および 15 b は

N 型の LDD 拡散層、16 a および 16 b は TEOS 膜からなるサイドウォールスペーサ、17 は N 型のソース拡散層、18 は N 型のドレイン拡散層、19 は CVD 法により形成されたシリコン酸化膜からなる CVD 絶縁膜である。

【0080】本実施形態に係る半導体装置の特徴は、ゲート酸化膜 12 がゲート電極 13 の直下方にのみ形成されており、サイドウォールスペーサ 16 a、16 b がゲート酸化膜 12 及びゲート電極 13 の側面上に亘って形成されている点である。このような構造は、上記第 2 の実施形態における図 2（a）に示す工程で、ゲート酸化膜 12 をゲート電極 13 と同じ形状にパターニングしておき、その後、図 2（b）～（e）と同じ手順による工程を行なうことで、容易に実現できる。

【0081】本実施形態に係る半導体装置においても、上記第 2 の実施形態に係る半導体装置と同様に、LDD 拡散層 15 a、15 b を形成するための不純物イオンの注入時に、ゲート電極 13 の端部における不純物イオンの突き抜けに起因するゲート酸化膜 12 の絶縁性劣化を抑制できるため、高い絶縁性および信頼性を有するゲート酸化膜を備えた半導体装置を得ることができ、半導体装置の高信頼性化を実現できる。

【0082】さらに、ゲート電極 13 が CVD 絶縁膜 19 でおおわれているので、ゲート電極 13 に含まれる不純物が側方や上方に拡散するのを防止でき、特性のばらつきが小さい半導体装置を得ることができる。

【0083】（第 6 の実施形態）次に、本発明の第 6 の実施形態について説明する。図 7 は本実施形態に係る不揮発性半導体記憶装置として機能する半導体装置の断面図である。同図において、11 は P 型シリコンからなる Si 基板、12 はシリコン酸化膜からなるゲート酸化膜、17 は N 型のソース拡散層、18 は N 型のドレイン拡散層、19 は CVD 法により形成されたシリコン酸化膜からなる CVD 絶縁膜、20 はポリシリコンからなる浮遊ゲート電極、21 は ONO 膜（窒化膜の上下に酸化膜を設けてなる 3 層膜）からなる層間絶縁膜、22 はポリシリコンからなる制御ゲート電極である。

【0084】本実施形態に係る半導体装置の特徴は、ゲート酸化膜 12 が浮遊ゲート電極 20 の直下方にのみ形成されており、サイドウォールスペーサ 16 a、16 b が制御ゲート電極 22、層間絶縁膜 21、浮遊ゲート電極 20 及びゲート酸化膜 12 の側面上に亘って形成されている点である。このような構造は、上記第 4 の実施形態における図 5（a）に示す工程で、ゲート酸化膜 12 を制御ゲート電極 22、層間絶縁膜 21 及び浮遊ゲート電極 20 と同じ形状にパターニングしておき、その後、図 5（b）～（c）と同様の手順による工程を行なうことで、容易に実現できる。

【0085】本実施形態に係る不揮発性半導体記憶装置として機能する半導体装置においても、第 4 の実施形態

に係る半導体装置と同様に、ソース・ドレイン拡散層 17、18 形成のための不純物イオンの注入時に、浮遊ゲート電極 20 の端部における不純物イオンの突き抜けに起因するゲート酸化膜の絶縁性劣化を抑制できる。したがって、高い絶縁性および信頼性を有するゲート酸化膜を備えた不揮発性半導体記憶装置を得ることができ、不揮発性半導体記憶装置の書き換え回数の向上および各種ディスタープ特性の向上が実現できる。

【0086】さらに、浮遊ゲート電極 20 が CVD 絶縁膜 19 によって覆われているので、浮遊ゲート電極 20 に含まれる不純物が外部へ拡散するのを防止でき、特性のばらつきが小さい不揮発性半導体記憶装置を得ることができる。

【0087】また、浮遊ゲート電極 20 が良質の CVD 絶縁膜 19 によって覆われているので、電荷保持特性に優れた不揮発性半導体記憶装置を得ることができる。

【0088】(第 7 の実施形態) 次に、本発明の第 7 の実施形態について説明する。図 8 (a) ~ (f) は、本実施形態に係る MOSFET として機能する半導体装置の製造工程を示す断面図である。

【0089】図 8 (a) ~ (f) において、11 は Si 基板、12 はゲート酸化膜、13 はゲート電極、14 は LDD 拡散層を形成するために Si 基板 11 内に注入される不純物イオンとしてのヒ素イオン、15 a および 15 b は LDD 拡散層、16 a および 16 b はサイドウォールスペーサ、17 はソース拡散層、18 はドレイン拡散層、19 は CVD 法により堆積されるシリコン酸化膜からなる CVD 絶縁膜、30 は熱酸化膜である。

【0090】まず、図 8 (a) に示す工程で、P 型シリコンからなる Si 基板 11 上に、パイロ酸化により膜厚が 9 nm のシリコン酸化膜からなるゲート酸化膜 12 を形成した後、その上にリンドープされたポリシリコンからなるゲート電極 13 を形成する。

【0091】次に、図 8 (b) に示す工程で、基板上に減圧 CVD 法により膜厚が 15 nm のシリコン酸化膜からなる CVD 絶縁膜 19 を堆積し、ゲート酸化膜 12 及びゲート電極 13 を CVD 絶縁膜 19 によって被覆する。

【0092】次に、図 8 (c) に示す工程で、ゲート電極 13 及び CVD 絶縁膜 19 の上方から、Si 基板 11 内にヒ素イオン 14 を注入し、Si 基板 11 内におけるゲート電極 13 の両側方に位置する領域に N 型の LDD 拡散層 15 a、15 b を形成する。注入条件は、例えば加速エネルギーが 50 keV でドーズ量が $5 \times 10^{11} \text{ cm}^{-2}$ である。また、LDD 拡散層 15 a、15 b をゲート電極 13 にオーバーラップさせるために、イオン注入の角度を基板面にほぼ垂直な方向から約 25° 傾けている (4 ステップ注入)。

【0093】次に、図 8 (d) に示す工程で、850℃ の酸素雰囲気、ゲート酸化膜 12 中のダメージを回復

させるための急速加熱処理を行なう。この処理によって、Si 基板 11 およびゲート電極 13 が熱酸化されて、厚みが約 5 nm の熱酸化膜 30 が形成される。このとき、ゲート酸化膜 12 のうちゲート電極 13 の下方に位置する領域 (現実にはゲート絶縁膜として機能する領域) を除く領域が少し厚膜化される。また、この厚膜化した領域は、ゲート電極 13 の下方に侵入するので、ゲート酸化膜 12 のうち現実にはゲート絶縁膜として機能する領域の両端部には小さなバースピークが形成される。

【0094】次に、図 8 (e) に示す工程で、基板上に TEOS 膜を堆積した後、異方性エッチングを行なって、ゲート電極 13 の側面上に CVD 絶縁膜 19 を挟んで TEOS 膜からなるサイドウォールスペーサ 16 a、16 b を形成する。この工程で、Si 基板 11 上のゲート酸化膜 12、熱酸化膜 30 及び CVD 絶縁膜 19 が除去される。

【0095】その後、図 8 (f) に示す工程で、ゲート電極 13、CVD 絶縁膜 19、熱酸化膜 30 a、30 b 及びサイドウォールスペーサ 16 a、16 b の上方から、Si 基板 11 内にヒ素イオンを注入して、LDD 拡散層 15 a、15 b の外側に N 型のソース拡散層 17 およびドレイン拡散層 18 をそれぞれ形成する。イオン注入条件は、例えば加速エネルギーが 50 keV で、ドーズ量が $2 \times 10^{11} \text{ cm}^{-2}$ である。また、チャネリング防止のために、イオン注入の角度を基板面にほぼ垂直な方向から約 7° 傾けている。本実施形態の製造方法によれば、図 8 (b) に示す工程で、ゲート電極 13 の側面を CVD 絶縁膜 19 によって被覆することにより、上記第 1 の実施形態と同様の効果を発揮することができる。すなわち、図 8 (c) に示す工程におけるヒ素イオン 14 がゲート電極 13 の端部を突き抜ける作用を抑制できるので、ゲート酸化膜 12 中のダメージを抑制できる。また、保護膜形成用の長時間、高温の加熱処理は行わないことや、CVD 絶縁膜 19 が存在することにより、ゲート酸化膜 12 のうちゲート絶縁膜として機能する領域における大きなバースピークの発生や、ゲート電極 13 にドーピングされているリンなどの不純物の外方への拡散を抑制することができる。

【0096】加えて、図 8 (d) に示す工程で、酸化性雰囲気における熱処理を行なうことにより、ヒ素イオン 14 の注入によるダメージを受けて絶縁性が劣化したゲート酸化膜 12 を再酸化して絶縁性を回復することができる。すなわち、CVD 絶縁膜 19 により、図 8 (c) に示す工程におけるヒ素イオン 14 のゲート電極 13 の突き抜けを抑制できるものの、この突き抜けをまったくなくすることは困難である。そのとき、熱酸化を行なうことにより、ゲート酸化膜 12 中のダメージ、具体的にはシリコン原子の酸素との結合が切れている部分に酸素を再結合させるような修復作業が行われるものと思われる。このように、ゲート酸化膜 12 のダメージを回復さ

10

20

30

40

50

せる工程を追加することにより、第1、第2の実施形態よりもさらに高い信頼性を発揮しうるゲート酸化膜12を備えた半導体装置を得ることができる。

【0097】その場合、図8(d)に示す工程における熱酸化工程は、保護膜としての熱酸化膜を形成する工程とは異なり、ゲート酸化膜12中のダメージを回復するだけの目的で軽く行なわれるので、その際にゲート酸化膜12にそれほど大きなバースピークは形成されることがない。よって、従来の製造方法のようなゲート長のばらつきによる素子特性のばらつきや素子特性の劣化は回避することができる。

【0098】特に、酸化性雰囲気での熱処理を急速熱処理によって行うため、熱処理量を最小限に抑制できるので特性ばらつきが少なく、また、微細化にも有利である。

【0099】なお、図8(d)に示す酸化性雰囲気中での熱処理工程は、ゲート酸化膜12の絶縁性回復だけでなく、LDD拡散層15a、15bのアニールを兼ねて行なうことができる。

【0100】また、図8(c)に示す工程に前後して、ドレイン拡散層の耐圧向上を図るためのリンイオンや、パンチスルーストップを目的としたボロンイオンやBF₃イオンを注入した場合においても、本実施形態と同様の効果が得られる。

【0101】(第8の実施形態)次に、本発明の第8の実施形態について説明する。図9(a)～(f)は、本実施形態に係るMOSFETとして機能する半導体装置の製造工程を示す断面図である。

【0102】図9(a)～(f)において、11はSi基板、12はゲート酸化膜、13はゲート電極、14はLDD拡散層を形成するためにSi基板11内に注入される不純物イオンとしてのヒ素イオン、15aおよび15bはLDD拡散層、16aおよび16bはサイドウォールスペーサ、17はソース拡散層、18はドレイン拡散層、19はCVD法により堆積されるシリコン酸化膜からなるCVD絶縁膜、31は酸化膜である。

【0103】まず、図9(a)に示す工程で、P型シリコンからなるSi基板11上に、パイロ酸化により膜厚が9nmのシリコン酸化膜からなるゲート酸化膜12を形成した後、その上にリンドープされたポリシリコンからなるゲート電極13を形成する。

【0104】次に、図9(b)に示す工程で、基板上に減圧CVD法により膜厚が15nmのシリコン酸化膜からなるCVD絶縁膜19を堆積し、ゲート酸化膜12及びゲート電極13をCVD絶縁膜19によって被覆する。

【0105】次に、図9(c)に示す工程で、ゲート電極13及びCVD絶縁膜19の上方から、Si基板11内にヒ素イオン14を注入し、Si基板11内におけるゲート電極13の両側方に位置する領域にN型のLDD

拡散層15a、15bを形成する。注入条件は、例えば加速エネルギーが50keVでドーズ量が $5 \times 10^{11} \text{ cm}^{-2}$ である。また、LDD拡散層15a、15bをゲート電極13にオーバーラップさせるために、イオン注入の角度を基板面にほぼ垂直な方向から約25°傾けている(4ステップ注入)。

【0106】次に、図9(d)に示す工程で、N₂O雰囲気(酸化性雰囲気)、1000℃の条件で、ゲート酸化膜12中のダメージを回復させるための急速加熱処理を行なう。この処理によって、Si基板11およびゲート電極13が酸化化されて、厚みが約3nmのごく薄い酸化膜31が形成される。このとき、ゲート酸化膜12のうちゲート電極13の下方に位置する領域(現実にはゲート絶縁膜として機能する領域)を除く領域が少し厚膜化される。また、この厚膜化した領域は、ゲート電極13の下方に侵入するので、ゲート酸化膜12のうち現実にはゲート絶縁膜として機能する領域の両端部にはごく小さなバースピークが形成される。

【0107】次に、図9(e)に示す工程で、基板上にTEOS膜を堆積した後、異方性エッチングを行なって、ゲート電極13の側面上にCVD絶縁膜19を介しTEOS膜からなるサイドウォールスペーサ16a、16bを形成する。

【0108】その後、図9(f)に示す工程で、ゲート電極13、CVD絶縁膜19及びサイドウォールスペーサ16a、16bの上方から、Si基板11内にヒ素イオンを注入して、LDD拡散層15a、15bの外側にN型のソース拡散層17およびドレイン拡散層18をそれぞれ形成する。イオン注入条件は、例えば加速エネルギーが50keVで、ドーズ量が $2 \times 10^{11} \text{ cm}^{-2}$ である。また、チャネリング防止のために、イオン注入の角度を基板面にほぼ垂直な方向から約7°傾けている。

【0109】本実施形態の製造方法によれば、図9(b)に示す工程で、ゲート電極13の側面をCVD絶縁膜19によって被覆することにより、上記第7の実施形態と同様の効果を発揮することができる。すなわち、図9(c)に示す工程におけるヒ素イオン14がゲート電極13の端部を突き抜ける作用を抑制できるので、ゲート酸化膜12におけるダメージを抑制できる。また、保護膜形成用の長時間、高温の加熱処理は行なわないことや、CVD絶縁膜19が存在することにより、大きなバースピークの発生とゲート電極13にドーピングされているリンなどの不純物の外方への拡散を抑制することができる。

【0110】加えて、図9(d)に示す工程で、酸化性雰囲気における熱処理を行なうことにより、ヒ素イオン14の注入によるダメージを受けて絶縁性が劣化したゲート酸化膜12を再酸化して絶縁性を回復することができる。さらに、このときにゲート酸化膜12が酸化されるので、Si基板11-ゲート酸化膜12間に存在す

るダングリングボンドが修復される。したがって、電気的ストレス印加後におけるゲート酸化膜 12 の特性劣化を少なくし、ゲート酸化膜 12 における電子のトラップ量を低減することができる。その結果、極めて高い信頼性もつゲート酸化膜を備えた半導体装置を得ることができ、半導体装置の高信頼性化を実現できる。

【0111】また、酸化性雰囲気での熱処理を急速熱処理によって行うため、熱処理量を最小限に抑制できるので特性ばらつきが少なく、また、微細化にも有利である。

【0112】しかも、図 9 (d) に示す工程における酸化工程は、急速加熱処理によって行なわれるので、ゲート酸化膜 12 に形成されるバースピークを極めて微小な程度にとどめることができる。よって、従来の製造方法のようなゲート長のばらつきによる素子特性のばらつきや素子特性の劣化は回避することができ、かつ、MOSFET の微細化により適した製造工程となる。

【0113】なお、図 9 (d) に示す酸化性雰囲気中の熱処理工程は、ゲート酸化膜 12 の絶縁性回復だけでなく、LDD 拡散層 15 a、15 b のアニールを兼ねて行なうことができる。

【0114】また、図 9 (c) に示す工程に前後して、ドレイン拡散層の耐圧向上を図るためのリンイオンや、パンチスルーストップを目的としたボロンイオンや BF₃ イオンを注入した場合においても、本実施形態と同様の効果が得られる。

【0115】(第 9 の実施形態) 次に、本発明の第 9 の実施形態について説明する。図 10 (a) ~ (f) は、本実施形態に係る MOSFET として機能する半導体装置の製造工程を示す断面図である。

【0116】図 10 (a) ~ (f) において、11 は Si 基板、12 はゲート酸化膜、13 はゲート電極、14 は LDD 拡散層を形成するために Si 基板 11 内に注入される不純物イオンとしてのヒ素イオン、15 a および 15 b は LDD 拡散層、16 a および 16 b はサイドウォールスペーサ、17 はソース拡散層、18 はドレイン拡散層、19 は CVD 法により堆積されるシリコン酸化膜からなる CVD 絶縁膜である。

【0117】まず、図 10 (a) に示す工程で、P 型シリコンからなる Si 基板 11 上に、パイロ酸化により膜厚が 9 nm のシリコン酸化膜からなるゲート酸化膜 12 を形成した後、その上にリンドープされたポリシリコンからなるゲート電極 13 を形成する。

【0118】次に、図 10 (b) に示す工程で、基板上に減圧 CVD 法により厚みが 25 nm のシリコン酸化膜からなる CVD 絶縁膜 19 を堆積し、ゲート酸化膜 12 及びゲート電極 13 を CVD 絶縁膜 19 によって被覆する。

【0119】次に、図 10 (c) に示す工程で、ゲート電極 13 及び CVD 絶縁膜 19 の上方から、Si 基板 1

1 内にヒ素イオン 14 を注入し、Si 基板 11 内におけるゲート電極 13 の両側方に位置する領域に N 型の LDD 拡散層 15 a、15 b を形成する。注入条件は、例えば加速エネルギーが 50 keV でドーズ量が 5×10^{14} cm⁻² である。また、LDD 拡散層 15 a、15 b をゲート電極 13 にオーバーラップさせるために、イオン注入の角度を基板面にほぼ垂直な方向から約 25° 傾けている (4 ステップ注入)。

【0120】次に、図 10 (d) に示す工程で、例えば NO、NH₃ などを含む窒化雰囲気、1050℃ の条件で急速加熱処理を行なう。この処理によって、ゲート酸化膜 12 のうちゲート電極 13 の下方に位置する領域 (現実にゲート絶縁膜として機能する領域) の両端部が窒化される。ただし、第 7、第 8 の実施形態のような酸化膜 30 や酸化膜 31 は形成されない。また、ゲート酸化膜 12 にはバースピークは形成されない。

【0121】次に、図 10 (e) に示す工程で、基板上に TEOS 膜を堆積した後、異方性エッチングを行なって、ゲート電極 13 の側面上に CVD 絶縁膜 19 を介し TEOS 膜からなるサイドウォールスペーサ 16 a、16 b を形成する。

【0122】その後、図 10 (f) に示す工程で、ゲート電極 13、CVD 絶縁膜 19 及びサイドウォールスペーサ 16 a、16 b の上方から、Si 基板 11 内にヒ素イオンを注入して、LDD 拡散層 15 a、15 b の外側に N 型のソース拡散層 17 およびドレイン拡散層 18 をそれぞれ形成する。イオン注入条件は、例えば加速エネルギーが 50 keV で、ドーズ量が 2×10^{14} cm⁻² である。また、チャネリング防止のために、イオン注入の角度を基板面にほぼ垂直な方向から約 7° 傾けている。

【0123】本実施形態の製造方法によれば、図 10 (b) に示す工程で、ゲート電極 13 の側面を CVD 絶縁膜 19 によって被覆することにより、上記第 7 の実施形態と同様の効果を発揮することができる。すなわち、図 10 (c) に示す工程におけるヒ素イオン 14 がゲート電極 13 におけるダメージを抑制できる。また、保護膜形成用の長時間、高温の加熱処理は行なわないことや、CVD 絶縁膜 19 が存在することにより、大きなバースピークの発生とゲート電極 13 にドーピングされているリンなどの不純物の外方への拡散を抑制することができる。

【0124】加えて、図 10 (d) に示す工程で、窒化性雰囲気における熱処理を行なうことにより、ゲート酸化膜 12 の両端部が窒化されるので、Si 基板 11 - ゲート酸化膜 12 間に存在するダングリングボンドが修復される。したがって、電気的ストレス印加後におけるゲート酸化膜 12 の特性劣化を少なくし、ゲート酸化膜 12 における電子のトラップ量を低減することができる。その結果、極めて高い信頼性もつゲート酸化膜を備えた MOSFET を得ることができ、MOSFET の高信頼

性化を実現できる。

【0125】また、窒化性雰囲気での熱処理を急速熱処理によって行うため、熱処理量を最小限で済む結果、MOSFETの特性のばらつきが少なく、また、MOSFETの微細化にも有利である。

【0126】しかも、図10(d)に示す工程における窒化工程では、ゲート酸化膜12にはバースピークが形成されない。よって、従来の製造方法のようなゲート長のばらつきによる素子特性のばらつきは回避することができ、かつ、MOSFETの微細化により適した製造工程となる。

【0127】なお、図10(d)に示す窒化性雰囲気中での熱処理工程は、LDD拡散層15a、15bのアニールを兼ねて行なうことができる。

【0128】また、図10(c)に示す工程に前後して、ドレイン拡散層の耐圧向上を図るためのリンイオンや、パンチスルーストップを目的としたボロンイオンやBF₃イオンを注入した場合においても、本実施形態と同様の効果が得られる。

【0129】(第10の実施形態)次に、本発明の第10の実施形態について説明する。図11(a)～(d)は、本実施形態に係る不揮発性半導体記憶装置として機能する半導体装置の製造工程を示す断面図である。図11(a)～(d)において、11はSi基板、12はゲート酸化膜、17はソース拡散層、18はドレイン拡散層、19はCVD法により堆積される絶縁膜、20は浮遊ゲート電極、21は層間絶縁膜、22は制御ゲート電極、23はソース拡散層およびドレイン拡散層を形成するためにSi基板11に注入される不純物イオンとしてのリンイオン、30は熱酸化膜である。

【0130】まず、図11(a)に示す工程で、P型シリコンからなるSi基板11上に、パイロ酸化により膜厚が9nmのシリコン酸化膜からなるゲート酸化膜12を形成した後、その上に、リンドーパされたポリシリコンからなる浮遊ゲート電極20、ONO膜(窒化膜の上下に酸化膜を設けてなる3層膜)からなる層間絶縁膜21、およびリンドーパされたポリシリコンからなる制御ゲート電極22を順次形成する。

【0131】次に、図11(b)に示す工程で、基板上に減圧CVD法により厚みが20nmのシリコン酸化膜からなるCVD絶縁膜19を堆積し、ゲート酸化膜12と、浮遊ゲート電極20、層間絶縁膜21及び制御ゲート電極22からなる多層体とをCVD絶縁膜により被覆する。

【0132】次に、図11(c)に示す工程で、CVD絶縁膜19で覆われた制御ゲート電極22、浮遊ゲート電極20等の上方から、Si基板11内にリンイオン23を注入し、Si基板11内における浮遊ゲート電極20の両側方に位置する領域にN型のソース拡散層17およびドレイン拡散層18を形成する。注入条件は、例え

ば加速エネルギーが70keVで、ドーズ量が $5 \times 10^{14} \text{ cm}^{-2}$ である。また、チャネリング防止のために、イオン注入の角度を基板面にほぼ垂直な方向から約7°傾けている。

【0133】次に、図11(d)に示す工程で、850℃の酸素雰囲気中、ゲート酸化膜12のダメージを回復させるための熱処理を行なう。この処理によって、Si基板11、制御ゲート電極22および浮遊ゲート電極20が熱酸化されて、厚みが約8nmの熱酸化膜30が形成される。このとき、ゲート酸化膜12のうち浮遊ゲート電極20の下方に位置する領域(現実にはゲート絶縁膜として機能する領域)を除く領域が少し厚膜化される。また、この厚膜化した領域は、浮遊ゲート電極20の下方に侵入するので、ゲート酸化膜12のうち現実にはゲート絶縁膜として機能する領域の両端部には小さなバースピークが形成される。同様に、層間絶縁膜21のうち窒化膜を挟む上下の酸化膜の両端部も少し厚膜化されるので、層間絶縁膜21には小さなバースピークが形成される。

【0134】本実施形態の製造方法によれば、図11(b)に示す工程で、制御ゲート電極22や浮遊ゲート電極20の側面をCVD絶縁膜19によって被覆することにより、上記第3の実施形態と同様の効果を発揮することができる。すなわち、図11(c)に示す工程におけるヒ素イオン14が浮遊ゲート電極20の端部や制御ゲート電極22の端部を突き抜ける作用を抑制できるので、ゲート酸化膜12や層間絶縁膜21におけるダメージを抑制できる。また、保護膜形成用の長時間、高温の加熱処理は行なわないことや、CVD絶縁膜19が存在することにより、大きなバースピークの発生と各ゲート電極22、20にドーピングされているリンなどの不純物の外方への拡散を抑制することができる。

【0135】加えて、図11(d)に示す工程で、酸化性雰囲気における熱処理を行なうことにより、ヒ素イオン14の注入によるダメージを受けて絶縁性が劣化したゲート酸化膜12や層間絶縁膜21を再酸化して絶縁性を回復することができる。すなわち、CVD絶縁膜19により、図11(c)に示す工程におけるヒ素イオン14の各ゲート電極22、20の突き抜けを抑制できるものの、この突き抜けをまったくなくすることは困難である。そのとき、熱酸化を行なうことにより、ゲート酸化膜12や層間絶縁膜21中のダメージ、具体的にはシリコン原子の酸素との結合が切れている部分に酸素を再結合させるような修復作業が行われるものと思われる。このように、熱酸化を行なってゲート酸化膜12のダメージを回復させる工程を追加することにより、不揮発性半導体記憶装置の書き換え回数の向上および各種ディスタープ特性の向上が実現できる。

【0136】その場合、図11(d)に示す工程における熱酸化工程は、保護膜としての熱酸化膜を形成する工

程とは異なり、ゲート酸化膜 12 及び層間絶縁膜 21 中のダメージを回復するだけの目的で行なわれるので、その際にゲート酸化膜 12 や層間絶縁膜 21 にそれほど大きなバースピークは形成されることがない。よって、従来の製造方法のようなゲート長のばらつきによるしきい値電圧のばらつきや、層間絶縁膜 21 の両端部への局所的なストレスの印加に起因する素子特性のばらつきは回避することができる。

【0137】また、酸化性雰囲気での熱処理を急速熱処理によって行うため、熱処理量を最小限で済む結果、不揮発性半導体記憶装置の特性のばらつきが少なく、また、不揮発性半導体記憶装置の微細化にも有利である。

【0138】加えて、浮遊ゲート電極 20 が良質の CVD 絶縁膜 19 によって覆われているので、電荷保持特性に優れた不揮発性半導体記憶装置を得ることができる。

【0139】なお、本実施形態の図 11 (c) に示すリンイオン 23 の注入工程に前後して、表面濃度を高め電子を引き抜きやすくするためのヒ素イオンや、しきい値制御層又はパンチスルーストップとなる P 型拡散層を形成するための B (ボロン) イオンまたは BF₃ イオンを CVD 絶縁膜 19 及びゲート酸化膜 12 を通過させて S i 基板 11 内に注入してもよい。その場合においても、本実施形態と同様の効果が得られることは明らかである。

【0140】図 14 は、第 3、第 10 の実施形態の製造方法によってそれぞれ製造された不揮発性半導体記憶装置の書き換え耐久特性を互いに比較して示すデータである。同図において、横軸は書き換え回数を表し、縦軸はしきい値電圧 (V) を表している。そして、V₁₁ は浮遊ゲート電極 20 に電子が注入されているときのしきい値電圧を、V₁₀ は浮遊ゲート電極 20 から電子が引き抜かれているときのしきい値電圧をそれぞれ示す。また、同図中の×印は第 3 の実施形態の製造方法によって製造した不揮発性半導体記憶装置のしきい値電圧を、同図中の●印は第 10 の実施形態の製造方法によって製造した不揮発性半導体記憶装置のしきい値電圧をそれぞれ示す。第 3 の実施形態の製造方法で製造された半導体記憶装置においても、上記従来の製造方法によって製造された不揮発性半導体記憶装置のしきい値電圧 (図示せず) に比べると、ばらつきが小さく、かつ電子引き抜き状態におけるしきい値電圧の上昇も小さいことが確認されている。しかし、第 10 の実施形態の製造方法で製造された不揮発性半導体記憶装置の電子引き抜き状態におけるしきい値電圧の上昇は極めて小さいことが示されている。すなわち、本実施形態の製造方法により、不揮発性半導体記憶装置の書き換え回数の向上効果と、各種ディスタープ特性の向上効果が顕著に得られる。

【0141】(第 11 の実施形態) 次に、本発明の第 11 の実施形態について説明する。図 12 (a) ~ (d) は、本実施形態に係る不揮発性半導体記憶装置として機

能する半導体装置の製造工程を示す断面図である。図 12 (a) ~ (d) において、11 は S i 基板、12 はゲート酸化膜、17 はソース拡散層、18 はドレイン拡散層、19 は CVD 法により堆積される絶縁膜、20 は浮遊ゲート電極、21 は層間絶縁膜、22 は制御ゲート電極、23 はソース拡散層およびドレイン拡散層を形成するために S i 基板 11 に注入される不純物イオンとしてのリンイオン、31 は酸化窒化膜である。

【0142】まず、図 12 (a) に示す工程で、P 型シリコンからなる S i 基板 11 上に、パイロ酸化により膜厚が 9 nm のシリコン酸化膜からなるゲート酸化膜 12 を形成した後、その上に、リンドープされたポリシリコンからなる浮遊ゲート電極 20、ONO 膜 (窒化膜の上下に酸化膜を設けてなる 3 層膜) からなる層間絶縁膜 21、およびリンドープされたポリシリコンからなる制御ゲート電極 22 を順次形成する。

【0143】次に、図 12 (b) に示す工程で、基板上に減圧 CVD 法により厚みが 20 nm のシリコン酸化膜からなる CVD 絶縁膜 19 を堆積し、ゲート酸化膜 12 と、浮遊ゲート電極 20、層間絶縁膜 21 及び制御ゲート電極 22 からなる多層体とを CVD 絶縁膜により被覆する。

【0144】次に、図 12 (c) に示す工程で、CVD 絶縁膜 19 で覆われた制御ゲート電極 22、浮遊ゲート電極 20 等の上方から、S i 基板 11 内にリンイオン 23 を注入し、S i 基板 11 内における浮遊ゲート電極 20 の両側方に位置する領域に N 型のソース拡散層 17 およびドレイン拡散層 18 を形成する。注入条件は、例えば加速エネルギーが 70 keV で、ドーズ量が $5 \times 10^{11} \text{ cm}^{-2}$ である。また、チャネリング防止のために、イオン注入の角度を基板面にほぼ垂直な方向から約 7° 傾けている。

【0145】次に、図 12 (d) に示す工程で、N₂O を含む酸化窒化雰囲気、1000℃の条件で、ゲート酸化膜 12 のダメージを回復させるための熱処理を行なう。この処理によって、S i 基板 11、制御ゲート電極 22 および浮遊ゲート電極 20 が酸化されて、厚みが約 3 nm の酸化窒化膜 31 が形成される。このとき、ゲート酸化膜 12 のうち浮遊ゲート電極 20 の下方に位置する領域 (現実にゲート酸化膜として機能する領域) を除く領域が少し厚膜化される。また、この厚膜化した領域は、浮遊ゲート電極 20 の下方に侵入するので、ゲート酸化膜 12 のうち現実にゲート絶縁膜として機能する領域の両端部にはわずかながら小さなバースピークが形成される。同様に、層間絶縁膜 21 のうち窒化膜を挟む上下の酸化膜の両端部も少し厚膜化されるので、層間絶縁膜 21 にはごく小さなバースピークが形成される。

【0146】本実施形態の製造方法によれば、図 12 (b) に示す工程で、制御ゲート電極 22 や浮遊ゲート電極 20 の側面を CVD 絶縁膜 19 によって被覆するこ

とにより、上記第10の実施形態と同様の効果を発揮することができる。すなわち、図12(c)に示す工程におけるヒ素イオン14が浮遊ゲート電極20や制御ゲート電極22を突き抜ける作用を抑制できるので、ゲート酸化膜12や層間絶縁膜21中におけるダメージを抑制できる。また、保護膜形成用の長時間、高温の加熱処理は行わないことや、CVD絶縁膜19が存在することにより、大きなバースピークの発生と各ゲート電極22、20にドーピングされているリンなどの不純物の外方への拡散を抑制することができる。

【0147】加えて、図12(d)に示す工程で、酸窒化性雰囲気中で熱処理することにより、ダメージの回復によるリンイオン23の注入によるダメージを受けて絶縁性が劣化したゲート酸化膜12を再酸化して絶縁性を回復できる効果と、ゲート酸化膜12を窒化して電氣的ストレス印加後の特性劣化を少なくし電子のトラップ量を低減できる効果とを得ることができる。その結果、極めて高い信頼性もつゲート酸化膜12を備えた不揮発性半導体記憶装置を得ることができ、不揮発性半導体記憶装置の書き換え回数の向上および各種ディスタープ特性の向上を図ることができる。

【0148】その場合、図12(d)に示す工程における酸窒化工程は、保護膜としての熱酸化膜を形成する工程とは異なり、ゲート酸化膜12及び層間絶縁膜21中のダメージを回復するだけの目的で行なわれ、しかも第10の実施形態における熱酸化工程よりも酸化作用は小さいので、その際にゲート酸化膜12や層間絶縁膜21には極めて小さなバースピークしか形成されることがない。よって、従来の製造方法のようなゲート長のばらつきによるしきい値電圧のばらつきや、層間絶縁膜21の両端部への局部的なストレスの印加に起因する素子特性のばらつきは回避することができる。

【0149】また、酸窒化性雰囲気での熱処理を急速熱処理によって行うため、熱処理量を最小限で済む結果、不揮発性半導体記憶装置の特性のばらつきが少なく、また、不揮発性半導体記憶装置の微細化にも有利である。

【0150】加えて、浮遊ゲート電極20が良質のCVD絶縁膜19によって覆われているので、電荷保持特性に優れた不揮発性半導体記憶装置を得ることができる。

【0151】さらに、浮遊ゲート電極20及び層間絶縁膜21をCVD絶縁膜19で被覆していることにより、浮遊ゲート電極20にドーピングされたリンが外部へ拡散するのを防止できるため、特性のばらつきが少ない不揮発性半導体記憶装置を得ることができる。

【0152】なお、本実施形態の図12(c)に示すリンイオン23の注入工程に前後して、表面濃度を高め電子を引き抜きやすくするためのヒ素イオンや、しきい値制御層又はパンチスルーストップとなるP型拡散層を形成するためのB(ボロン)イオンまたはBF₃イオンをCVD絶縁膜19及びゲート酸化膜12を通過させてS

i基板11内に注入してもよい。その場合においても、本実施形態と同様の効果が得られることは明らかである。

【0153】また、本実施形態では、ソース拡散層17およびドレイン拡散層18を形成する目的でリンイオン23を注入する工程を行なっているが、それに前後してヒ素イオンを注入した場合においても、本実施例と同様の効果が得られることは明らかである。

【0154】(第12の実施形態)次に、本発明の第12の実施形態について説明する。図13(a)~(d)は、本実施形態に係る不揮発性半導体記憶装置として機能する半導体装置の製造工程を示す断面図である。図13(a)~(d)において、11はSi基板、12はゲート酸化膜、17はソース拡散層、18はドレイン拡散層、19はCVD法により堆積される絶縁膜、20は浮遊ゲート電極、21は層間絶縁膜、22は制御ゲート電極、23はソース拡散層およびドレイン拡散層を形成するためにSi基板11に注入される不純物イオンとしてのリンイオンである。

【0155】まず、図13(a)に示す工程で、P型シリコンからなるSi基板11上に、パイロ酸化により膜厚が9nmのシリコン酸化膜からなるゲート酸化膜12を形成した後、その上に、リンドープされたポリシリコンからなる浮遊ゲート電極20、ONO膜(窒化膜の上下に酸化膜を設けてなる3層膜)からなる層間絶縁膜21、およびリンドープされたポリシリコンからなる制御ゲート電極22を順次形成する。

【0156】次に、図13(b)に示す工程で、基板上に減圧CVD法により厚みが30nmのシリコン酸化膜からなるCVD絶縁膜19を堆積し、ゲート酸化膜12と、浮遊ゲート電極20、層間絶縁膜21及び制御ゲート電極22からなる多層体とをCVD絶縁膜により被覆する。

【0157】次に、図13(c)に示す工程で、CVD絶縁膜19で覆われた制御ゲート電極22、浮遊ゲート電極20等の上方から、Si基板11内にリンイオン23を注入し、Si基板11内における浮遊ゲート電極20の両側方に位置する領域にN型のソース拡散層17およびドレイン拡散層18を形成する。注入条件は、例えば加速エネルギーが70keVで、ドーズ量が $5 \times 10^{11} \text{ cm}^{-2}$ である。また、チャネリング防止のために、イオン注入の角度を基板面にほぼ垂直な方向から約7°傾けている。

【0158】次に、図13(d)に示す工程で、NO、NH₃などを含む窒化雰囲気、1050℃の条件で、急速加熱処理を行なう。このとき、上記第10、第11の実施形態のような熱酸化膜30や酸窒化膜31は形成されず、ゲート酸化膜12や層間絶縁膜21にバースピークが形成されることもない。

【0159】本実施形態の製造方法によれば、図13

(b) に示す工程で、制御ゲート電極 2 2 や浮遊ゲート電極 2 0 の側面を CVD 絶縁膜 1 9 によって被覆することにより、上記第 1 0 の実施形態と同様の効果を発揮することができる。すなわち、図 1 3 (c) に示す工程におけるヒ素イオン 1 4 が浮遊ゲート電極 2 0 や制御ゲート電極 2 2 を突き抜ける作用を抑制できるので、ゲート酸化膜 1 2 や層間絶縁膜 2 1 中におけるダメージを抑制できる。また、保護膜形成用の長時間、高温の加熱処理は行なわないことや、CVD 絶縁膜 1 9 が存在することにより、パズピークの発生と各ゲート電極 2 2, 2 0 にドーピングされているリンなどの不純物の外方への拡散を抑制することができる。

【0160】加えて、図 1 3 (d) に示す工程で、窒化性雰囲気中で熱処理することにより、ゲート酸化膜 1 2 を窒化して電氣的ストレス印加後の特性劣化を少なくし電子のトラップ量を低減することができる。その結果、極めて高い信頼性もつゲート酸化膜 1 2 を備えた不揮発性半導体記憶装置を得ることができ、不揮発性半導体記憶装置の書き換え回数の向上および各種ディスタープ特性の向上を図ることができる。

【0161】しかも、図 1 3 (d) に示す工程における窒化工程の際にゲート酸化膜 1 2 や層間絶縁膜 2 1 にはパズピークが形成されることがないので、従来の製造方法のようなゲート長のばらつきによるしきい値電圧のばらつきや、層間絶縁膜 2 1 の両端部への局所的なストレスの印加に起因する素子特性のばらつきは回避することができる。

【0162】また、窒化性雰囲気での熱処理を急速熱処理によって行うため、熱処理量を最小限で済む結果、不揮発性半導体記憶装置の特性のばらつきが少なく、また、不揮発性半導体記憶装置の微細化にも有利である。

【0163】加えて、浮遊ゲート電極 2 0 が良質の CVD 絶縁膜 1 9 によって覆われているので、電荷保持特性に優れた不揮発性半導体記憶装置を得ることができる。

【0164】さらに、浮遊ゲート電極 2 0 及び層間絶縁膜 2 1 が CVD 絶縁膜 1 9 で覆われていることにより、浮遊ゲート電極 2 0 にドーピングされたリンが外部へ拡散するのを防止できるため、特性のばらつきが少ない不揮発性半導体記憶装置を得ることができる。

【0165】なお、本実施形態の図 1 3 (c) に示すリンイオン 2 3 の注入工程に前後して、表面濃度を高め電子を引き抜きやすくするためのヒ素イオンや、しきい値制御層又はパンチスルーストップとなる P 型拡散層を形成するための B (ボロン) イオンまたは BF₃ イオンを CVD 絶縁膜 1 9 及びゲート酸化膜 1 2 を通過させて S i 基板 1 1 内に注入してもよい。その場合においても、本実施形態と同様の効果が得られることは明らかである。

【0166】-加熱処理の条件-

上記第 7 ~ 第 1 2 の実施形態における酸化工程、酸窒化

工程、窒化工程における急速加熱は、不純物の拡散などによるデバイス特性の悪化を抑止しながらダメージ回復などの目的を達成するためには、800 ~ 1100℃が適正である。また、パズピークの形成を抑制するためには 120 秒以内の短時間の処理を行なうことが好ましい。

【0167】上記第 7 ~ 第 1 2 の実施形態において、CVD 絶縁膜 1 9 に代えて、熱酸化による保護酸化膜を設けてもよい。特に、その後にダメージ除去のための熱酸化工程又は酸窒化工程を行なっているため、最初の熱酸化によって形成される保護酸化膜の厚みを薄くしても、熱酸化工程又は酸窒化工程で新たな酸化膜 3 0 又は酸窒化膜 3 1 が形成されるので、不純物の拡散防止機能を確保することができる。従って、ゲート酸化膜 1 2 や層間絶縁膜 2 1 の両端部におけるパズピークの発生を最小限度にとどめることができる。

【0168】

【発明の効果】本発明の第 1 の半導体装置の製造方法によれば、MOSFET のゲート電極又は浮遊ゲート電極の側面を CVD 法により形成された絶縁膜で被覆することにより、LDD 拡散層を形成するために半導体基板に注入される不純物イオンが、ゲート電極を突き抜ける現象を抑制できるため、ゲート絶縁膜の信頼性が高く、かつ、ゲート長の制御性に優れた微細化に適した半導体装置の製造方法を実現することができる。

【0169】本発明の第 2 の半導体装置の製造方法によれば、MOSFET のゲート電極又は浮遊ゲート電極の側面を絶縁膜で被覆した後、LDD 拡散層を形成するための不純物のイオン注入を行なった後、少なくとも酸素を含む雰囲気下においてダメージ回復のための加熱処理を行なうことにより、しきい値電圧の経時変化などの不具合を抑制による素子特性の改善を図ることができる。

【0170】本発明の第 3 の半導体装置の製造方法によれば、不揮発性半導体記憶装置の浮遊ゲート電極、層間絶縁膜および制御ゲート電極の表面を被覆する CVD 絶縁膜を形成した後、ソース・ドレイン拡散層形成のための不純物のイオン注入を行なうことにより、不純物イオンが浮遊ゲート電極の端部において浮遊ゲート電極を突き抜けてゲート絶縁膜にダメージを生ぜしめる作用を抑制し、もって、書き換え回数および各種ディスタープ特性の優れた不揮発性半導体記憶装置の製造方法を実現することができる。

【0171】本発明の第 4 の半導体装置の製造方法によれば、不揮発性半導体記憶装置の浮遊ゲート電極、層間絶縁膜および制御ゲート電極の表面を被覆する絶縁膜を形成し、ソース・ドレイン拡散層形成のための不純物のイオン注入を行なった後、ダメージ回復のための熱処理を行なうことにより、書き換え回数および各種ディスタープ特性の優れた不揮発性半導体記憶装置の製造方法を実現することができる。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施形態に係る MOSFET として機能する半導体装置の製造工程を示す断面図である。

【図 2】本発明の第 2 の実施形態に係る MOSFET として機能する半導体装置の製造工程を示す断面図である。

【図 3】本発明の各実施形態に係るゲート酸化膜リーク特性の CVD 絶縁膜（シリコン酸化膜）の膜厚依存性を示す特性図である。

【図 4】本発明の第 3 の実施形態に係る不揮発性半導体記憶装置として機能する半導体装置の製造工程を示す断面図である。

【図 5】本発明の第 4 の実施形態に係る不揮発性半導体記憶装置として機能する半導体装置の製造工程を示す断面図である。

【図 6】本発明の第 5 の実施形態に係る MOSFET として機能する半導体装置の断面図である。

【図 7】本発明の第 6 の実施形態に係る不揮発性半導体記憶装置として機能する半導体装置の断面図である。

【図 8】本発明の第 7 の実施形態に係る MOSFET として機能する半導体装置の製造工程を示す断面図である。

【図 9】本発明の第 8 の実施形態に係る MOSFET として機能する半導体装置の製造工程を示す断面図である。

【図 10】本発明の第 9 の実施形態に係る MOSFET として機能する半導体装置の製造工程を示す断面図である。

【図 11】本発明の第 10 の実施形態に係る不揮発性半

導体記憶装置として機能する半導体装置の製造工程を示す断面図である。

【図 12】本発明の第 11 の実施形態に係る不揮発性半導体記憶装置として機能する半導体装置の製造工程を示す断面図である。

【図 13】本発明の第 12 の実施形態に係る不揮発性半導体記憶装置として機能する半導体装置の製造工程を示す断面図である。

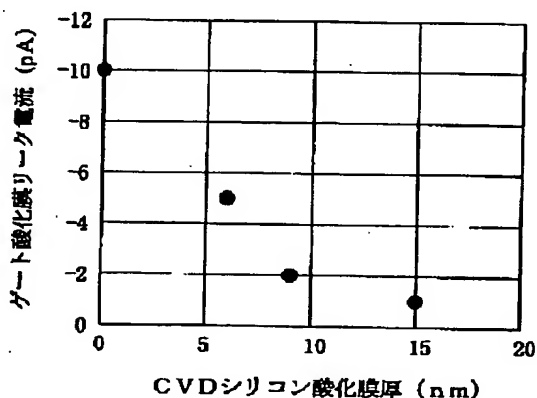
【図 14】第 3、第 10 の実施形態の製造方法によってそれぞれ製造された不揮発性半導体記憶装置の書き換え耐久特性を互いに比較して示すデータである。

【図 15】従来技術に係る MOSFET として機能する半導体装置の製造工程を示す断面図である。

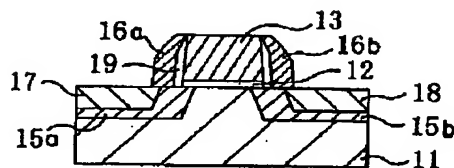
【符号の説明】

- | | |
|--------------|---------------|
| 1 1 | S i 基板（半導体基板） |
| 1 2 | ゲート酸化膜 |
| 1 3 | ゲート電極 |
| 1 4 | ヒ素イオン |
| 1 5 a, 1 5 b | L D D 拡散層 |
| 1 6 a, 1 5 b | サイドウォールスペーサ |
| 1 7 | ソース拡散層 |
| 1 8 | ドレイン拡散層 |
| 1 9 | C V D 絶縁膜 |
| 2 0 | 浮遊ゲート電極 |
| 2 1 | 層間絶縁膜 |
| 2 2 | 制御ゲート電極 |
| 2 3 | リンイオン |
| 2 4 | シリコン酸化膜 |
| 3 0 | 熱酸化膜 |
| 3 1 | 酸化窒化膜 |

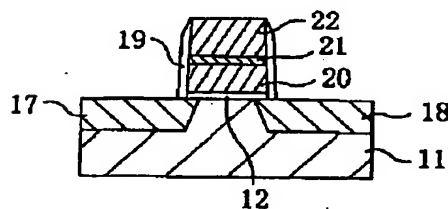
【図 3】



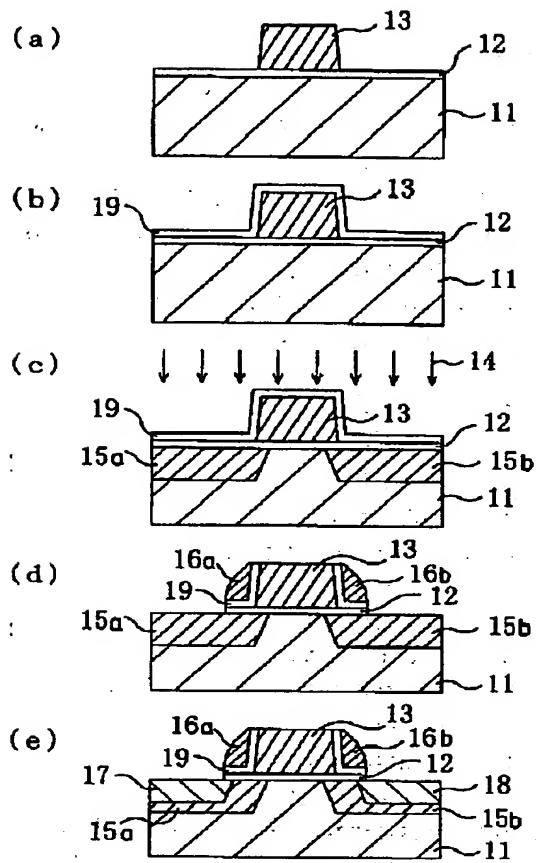
【図 6】



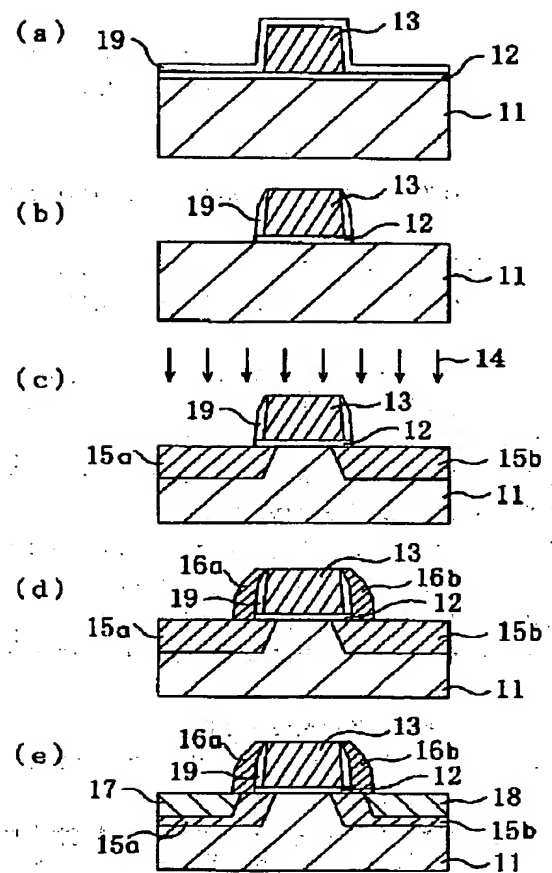
【図 7】



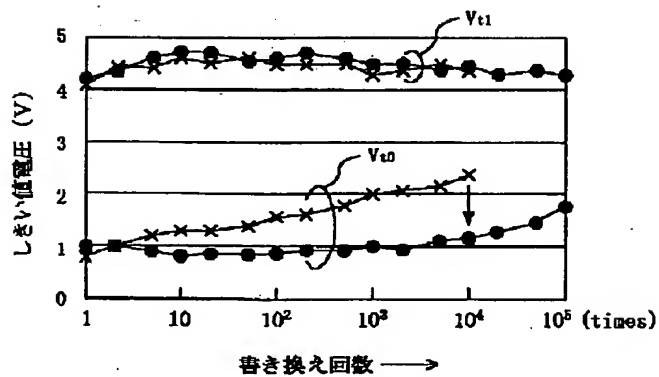
【図 1】



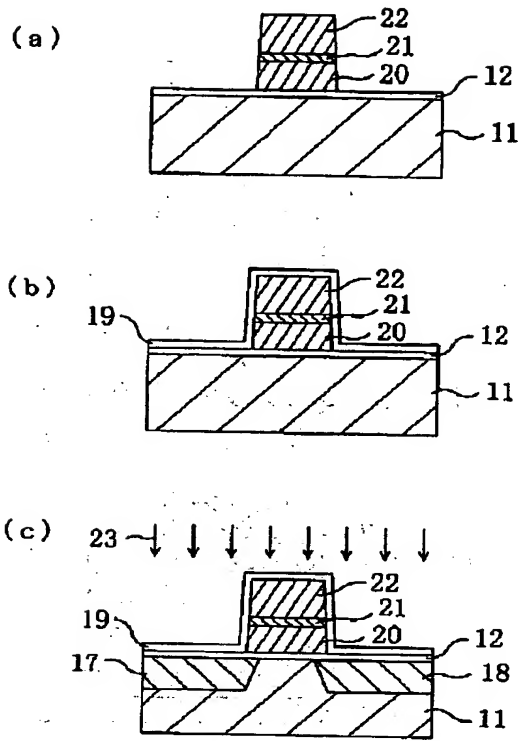
【図 2】



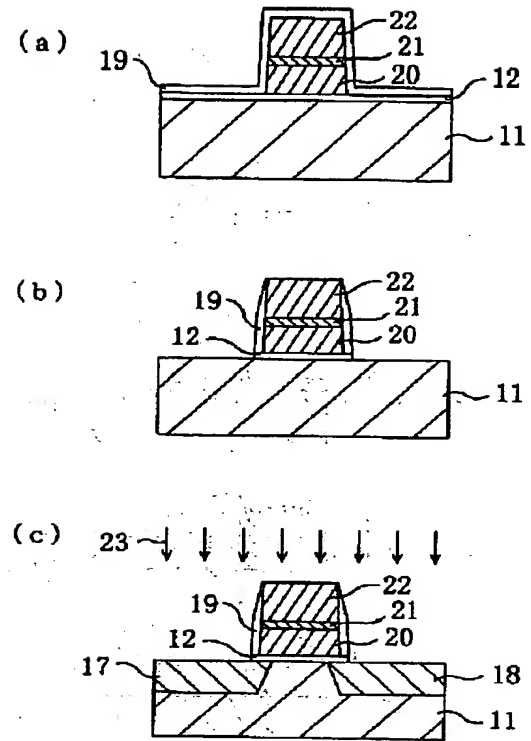
【図 1 4】



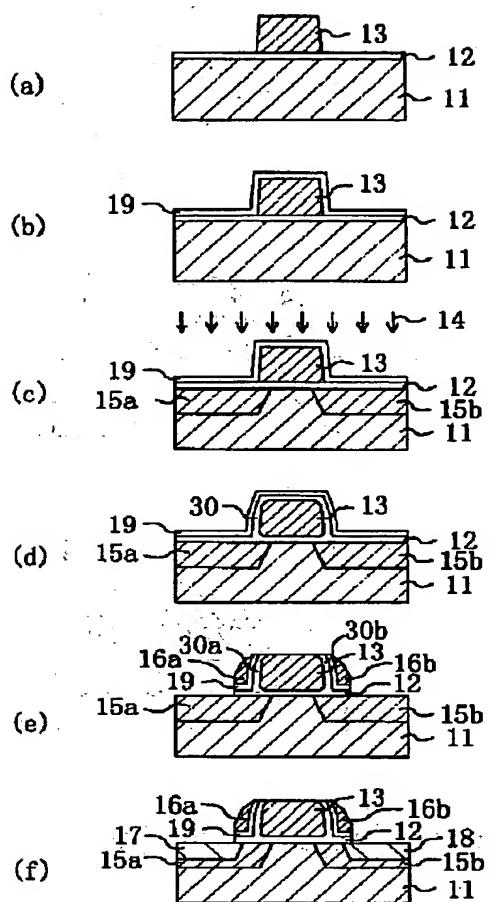
【図 4】



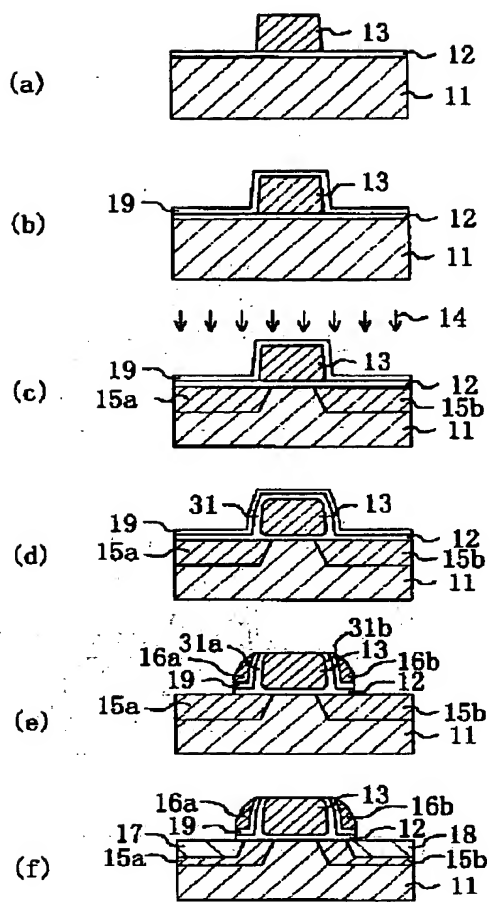
【図 5】



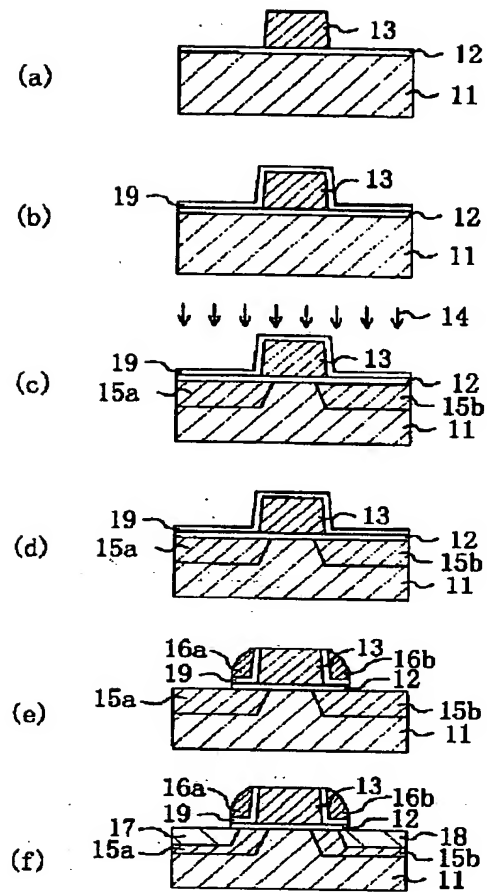
【図 8】



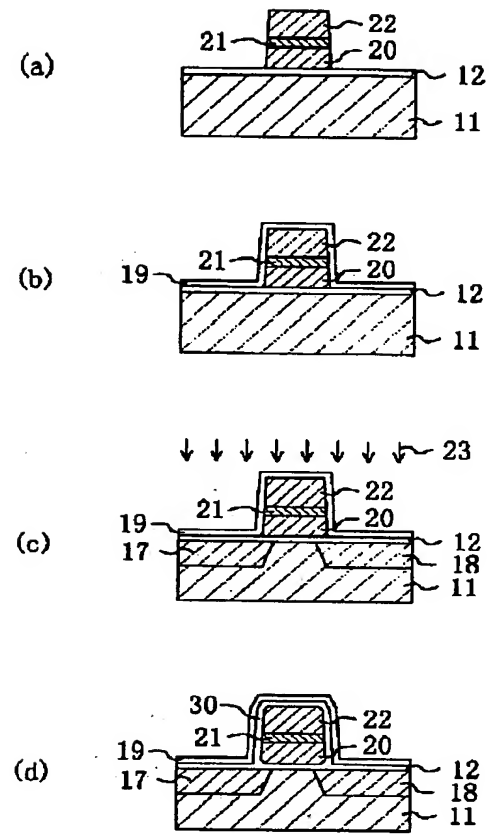
【図 9】



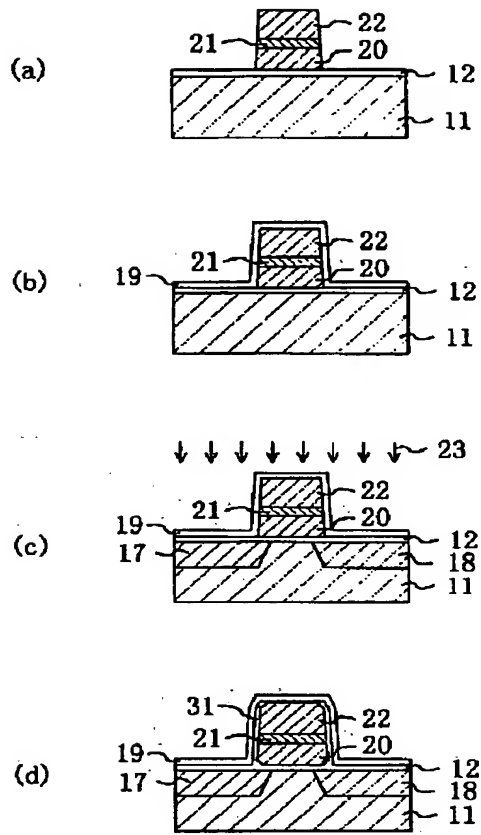
【図 10】



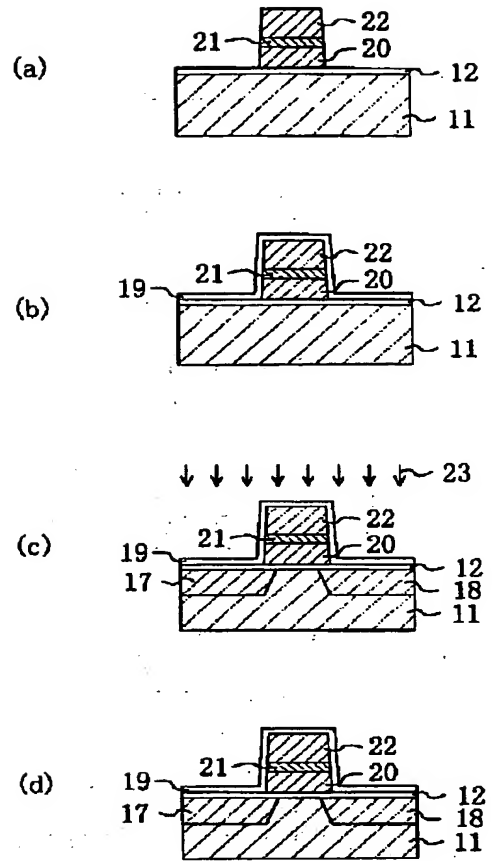
【図 11】



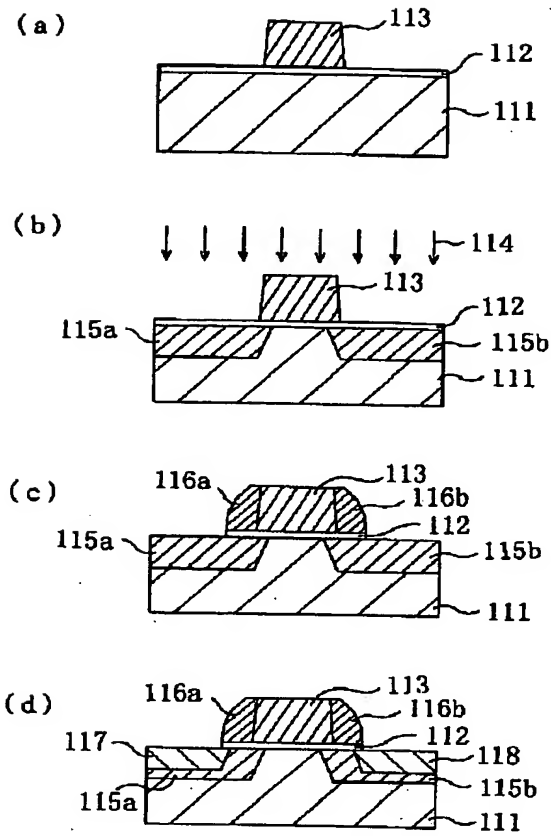
【図 1 2】



【図 1 3】



【図 1 5】



フロントページの続き

(51) Int. Cl.⁶

29/792

識別記号

庁内整理番号

F I

技術表示箇所

(72) 発明者 田村 暢征

大阪府高槻市幸町 1 番 1 号 松下電子工業
株式会社内